

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 1 月 8 日 (08.01.2004)

PCT

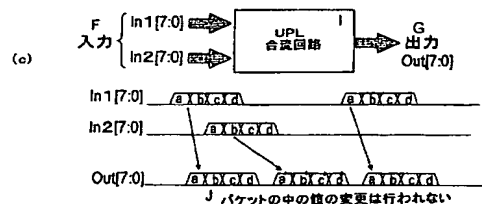
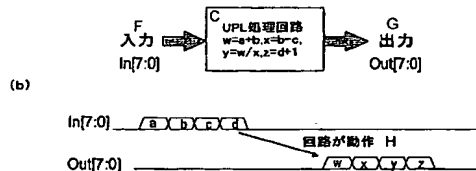
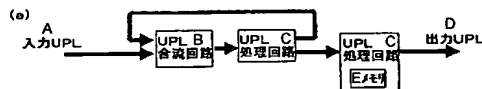
(10) 国際公開番号  
WO 2004/003794 A1

- (51) 国際特許分類<sup>7</sup>: G06F 17/50 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2003/007991 (75) 発明者/出願人 (米国についてのみ): 船田 悟史 (FU-NADA, Satoshi) [JP/JP]; 〒150-0012 東京都 渋谷区 広尾 1 丁目 1 1 番 4 号 共立ビル 5 0 1 株式会社イー  
(22) 国際出願日: 2003 年 6 月 24 日 (24.06.2003) ツリーズ・ジャパン内 Tokyo (JP).  
(25) 国際出願の言語: 日本語 (74) 代理人: 岡部 正夫, 外 (OKABE, Masao et al.); 〒  
(26) 国際公開の言語: 日本語 100-0005 東京都 千代田区 丸の内 3-2-3 富士ビル  
(30) 優先権データ: 特願2002-186478 2002 年 6 月 26 日 (26.06.2002) JP 6 0 2 号室 Tokyo (JP).  
(71) 出願人 (米国を除く全ての指定国について): 株式会 (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

[続葉有]

(54) Title: METHOD AND DEVICE FOR QUICKLY PROCESSING COMMUNICATION PROTOCOL BY REPLACING SOFTWARE WITH HARDWARE

(54) 発明の名称: ソフトウェアをハードウェアに置き換えることにより通信プロトコルを高速処理する方法および装置



A...INPUT UPL  
B...UPL MERGE CIRCUIT  
C...UPL PROCESSING CIRCUIT  
D...OUTPUT UPL  
E...MEMORY  
F...INPUT  
G...OUTPUT  
H...CIRCUIT OPERATION  
I...UPL MERGE CIRCUIT  
J...VALUE OF PACKETS NOT CHANGED

(57) Abstract: A method and a device for implementing information transmission, computation and, especially, the Internet server function by means of hardware modules. When software implementing an Internet server is converted to hardware, a merge circuit module is used to merge packets input from a plurality of circuits into one output. The designer is released from the problem of complicated input/output timing control.

WO 2004/003794 A1

BEST AVAILABLE COPY

[続葉有]



SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,  
VN, YU, ZA, ZM, ZW.

OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,  
ML, MR, NE, SN, TD, TG).

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ,  
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,  
AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許  
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,  
GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される  
各 PCT ガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

---

(57) 要約:

本発明は、情報の伝達および計算処理、特にインターネットサーバ機能をハードウェアモジュールによって実現する方法及び装置を提供する。

本発明はインターネットサーバ等を実現するソフトウェアをハードウェアに変換する際に、複数の回路から入力されるパケットを 1 出力に合流する合流回路モジュールを用いる。

本発明により、設計者は複雑な入出力のタイミングの制御という課題から解放される。

## 明 細 書

ソフトウェアをハードウェアに置き換えることにより通信プロトコルを高速処理する方法および装置

## 技術分野

本発明は、情報の伝達および計算処理、特にインターネットサーバ機能をハードウェアモジュールによって実現する方法および装置に関する。さらに、本発明は、メモリ・入力／出力装置・中央処理ユニット間の情報・他の信号の相互接続・転送を、統一アクセス制御手法を用いてWebサーバ、メールサーバ、FTPサーバおよびDNSサーバなどをハードウェアで実現することを可能とする方法および装置に関する。

## 背景技術

従来は、データマイニング、自然言語処理、ネットワーク情報処理（Webによる情報提供、アプリケーション処理、情報検索）、DNA計算シミュレータ、および物理シミュレーション（新素材の特性解析、たんぱく質構造予測、惑星軌道予測など）、および音声・画像処理（リアルタイム圧縮・展開）、のような様々な情報の伝達および計算処理は、CPUを1つまたは複数個使った汎用的な計算機（コンピュータ）と、専用のソフトウェアとを利用して一貫した処理を行うことによって行われてきた。

従来の汎用的なCPU計算機を用いて様々な情報の伝達および計算処理を行う場合、命令を読み込まないと次の処理が分からない、処理結果によって次の命令が変化する（前もってデータを準備することができない）、あるいはデータをメモリから読み込まないと処理が進まない（データの読み込み速度が処理速度を決定する）といった、処理内容の汎用性を重視しすぎることに起因して処理速度が低下し、必要な処理速度が得られないという問題があった。

ここで、従来のCPU計算機に依存する方法を用いたインターネットサーバを例にあげると、サーバに対してユーザからのアクセスが集中すると、計算機はユ

ーザのリクエストを処理しきれずにサーバはその機能を停止し、インターネットサービスが利用できなくなる事態が生じる。結果として、インターネットインフラに対しての信用が低下することとなる。また、今後のADSL・SDSLおよび光ケーブルなどの拡充にともない、サーバに対する負荷が飛躍的に増大することが予想されている。

一方、上記問題を回避するために、専用計算機を利用すると都合が良いことが知られている。専用計算機はアプリケーションに応じた専用の計算回路を持っているため、専用計算機を用いて様々な情報の伝達および計算処理を行うと、汎用的なCPU計算機のような処理速度の低下を生ずることなく、所望の処理速度を得ることができる。

しかしながら、専用計算機を採用する場合、アプリケーションに応じた専用の計算回路を設計、製造する必要があるので、膨大な設計時間、製造コストなどがそのアプリケーションごとにかかってしまうという問題点があった。

図1は、このような専用計算機の回路を設計する際の問題点を端的に示すものである。図1に示されるように、一般に、一つの回路は複数の入出力を持ち、複数の信号を同時に処理している。そのため、回路内での入力値(a, b, c, d)間、出力値(w, x, y, z)間、および入出力値間のタイミングは複雑な様相を呈し、複数の回路の連携に至っては、さらにタイミングが複雑となる。したがって、それぞれの複雑性に関連した入出力のタイミングを制御することは非常に困難であるため、その回路を設計することは至難の技であった。

また、従来、ハードウェアとソフトウェアからなる装置の開発は、装置仕様に従って、まず、ハードウェアの分担する機能とソフトウェアの分担する機能とに分割し、つづいて仕様に基づいてハードウェア部分とソフトウェア部分とがそれぞれ同時にかつ個別に開発され、最後にハードウェア部分とソフトウェア部分とが統合されて動作検証するというように行われてきた。以上のような順序で開発が進められるので、ハードウェア(あるいはソフトウェア)が出来上がるまでソフトウェア(あるいはハードウェア)のデバッグができないという問題があった。この問題を解決するためにハードウェア(あるいはソフトウェア)をシミュレートするソフトウェア(あるいはハードウェア)を作って、ソフト(あるいはハー

ド) のデバッグを行ってきたが、シミュレートするソフトウェアやハードウェアを作る工程を必要とし、2度手間となっていた。

本発明は、上記従来技術の問題点に鑑みなされたものであり、処理内容の弾力性（汎用性）を担保するとともに、高速処理が可能で、かつ比較的小さな回路規模で情報伝達処理装置を実現する技術手法を提供することを目的とする。

### 発明の開示

上記目的を達成するために、本発明は、以下に詳述するようなソフトウェアをハードウェアモジュールに変換せしめるための方法と、この方法を用いて構成されるハードウェアモジュールを用いた情報処理装置とを提供する。

本発明のソフトウェア－ハードウェア変換方法は、所与のソフトウェアプログラムをハードウェア回路に変換するために、基本的に、ソフトウェアプログラムを複数の機能単位に分割するステップと、機能単位のそれぞれに対応する処理動作を行う複数の処理回路モジュールを提供するステップと、複数のデータセットの入力を1つの出力に統合する合流回路モジュールを提供するステップと、複数の処理回路モジュールを組み合わせ、もしくは、さらに合流回路モジュールと組み合わせ、ソフトウェアプログラムの全処理動作をハードウェア回路で実現できるようにするステップとを含む。また、所定の機能単位だけをハードウェア化して汎用の計算機によるソフトウェア部分とハードウェア化を共存させることも可能である。

より具体的には、本発明の方法は、所与のソフトウェアプログラムを1ないし複数の任意の機能単位に分割するステップと、機能単位を任意の可変長のデータセットを介して連絡する0または1つの入力と0もしくは1以上の出力を有し、前記データセットに基づいて所定の処理動作を行うハードウェア処理回路モジュールを提供するステップと、複数のデータセットの入力を1つの出力に統合する合流回路モジュールを提供するステップと1ないし複数の処理回路モジュールを相互に組み合わせ、もしくはさらに1以上の合流回路モジュールのそれぞれの入・出力を組み合わせ、ソフトウェアプログラムの処理動作を前記ハードウェア回路で実現できるようにするステップとを含む。

また、本発明のハードウェアモジュールを用いた情報処理装置は、基本的に、所与の情報処理用ソフトウェアを、その機能単位毎に、ハードウェア化することにより構成される複数のハードウェアモジュールと、複数のハードウェアモジュール間で、データをデータセット単位で、かつ単方向に伝送するための信号伝送手段とから構成される。そして、典型的には、ソフトウェアの機能単位は、例えば、C言語の関数呼び出しによって、ヘッダ・データ情報のやり取りと、処理とが行われるようなソフトウェア要素に対応するものとなっている。

より具体的には、本発明の装置は、ハードウェアによる情報処理を行うために、1ないし複数の処理回路モジュールと、0もしくは1以上の合流回路モジュールと、から基本的に構成され、処理回路モジュールと合流回路モジュールが所定の情報を含むパケットによる単一方向の情報伝達を、処理回路モジュール、合流回路モジュールまたはI/Oインターフェースと行い、処理回路モジュールのそれぞれが、それぞれに所定の機能を果たす回路を有し、および0または1の入力と0以上の出力を有し、合流回路モジュールは、2つ以上の入力と1つの出力のみを有し、2つ以上の回路から出力されるパケットを1つの出力に合流させる処理を行うようになっている。

本発明のある重要な局面は、図2(a)に示されるように、入力デバイスあるいは出力デバイスと回路ブロックの間、または回路ブロックの間での信号の伝達を、データセット単位で行うことにある。そして、回路ブロックには、動作に必要な値を含むパケットが入力され、回路ブロック内で所定の処理を行い、結果の値を含むパケットが出力される。回路ブロック間相互の情報伝達がパケットによって行われるため、回路ブロック設計者は複雑な入出力のタイミングの制御という課題から開放される。さらに、図2(b)に示したように、データセット単位でのパイプライン処理が可能となるで、回路ブロックを含む装置に与えられた複数の処理を効率的に行い、全体的な処理速度の向上を達成することができる。

本発明で用いられる「回路ブロック」とは、設計者が任意に設定することができる1ないし複数の特定の処理機能を有するハードウェアモジュールである。この回路ブロックは、ソフトウェア設計におけるC言語の「関数」と類似している。また、本発明で用いられる回路ブロックには、同期式回路、非同期式回路、順序

回路、ハードワイヤード、マイクロプロセッサ方式などの回路が含まれる。

本発明の別の重要な局面は、図3に示した、UPL (Universal Protocol Line) の採用にある。ここで、UPLとは、パケットによって回路ブロック間の情報伝達を行う回路ブロックを含む装置における情報伝達機構の総称である。UPLにおいては、入力デバイスあるいは出力デバイスと回路ブロック、または回路ブロック間の信号の伝達はパケットによって行われ、入力された情報パケットは回路ブロックにおける処理を経て出力側に情報パケットとして伝達される、という単一の方向性を持っている。

また、UPLは、回路ブロックの仕組みといった物理的な取り決め（ビット幅、データ速度、データ有効化方式、データ符号化など）を含むUPLインターフェースと、情報の仕組みのような論理的な取り決め（パケットフォーマットなど）を含むUPLパケットの二つの取り決め（規格）から成る。

UPLを利用する装置は、UPLの手法により入出力が単純化された、2種類のUPL回路：「UPL処理回路」と「UPL合流回路」を含む。図4(a)に示したように、これらの2種類の回路の任意の組み合わせにより、所望の機能を実現するハードウェアを容易に構築することができる。

UPL処理回路（図4(b)）とは、UPL規格に従う入出力をもつ回路ブロックの総称で、0または1個の入力UPL（0個の入力UPL回路とは、例えば発振器など）と0個以上の出力UPL（0個の出力UPLとはUPL信号の出力がない、例えば表示デバイス）を有する。UPL処理回路は入力データから何らかの計算などの処理を施し、（処理の結果を別の回路が必要とする場合）UPL出力からパケットとして結果を出力する。UPL処理回路には、計算、遅延、記憶、外部I/Oとのインターフェースなどが含まれる。

UPL合流回路（図4(c)）とは、UPL規格に従う入出力インターフェース持つ回路のことであり、2つ以上の入力UPLと1つの出力UPLを有する。UPL合流回路は、値の変更などの実質的な処理を行わず、2つ以上の回路ブロックから出力されるパケットを、パケット同士が衝突しないようにしながら、1つのUPLに合流させる機能しか持たない。[0007]で述べたように、複数の入力を任意のタイミングで受け付ける回路の設計は、容易ではない。しかし、任意

の回路を実現しようとするれば、複数の入力を任意のタイミングで受け付ける回路は必ず必要である。本発明では、この設計が容易ではない複数入力を任意のタイミングで受け付ける機能を、UPL合流回路に集約した。装置の設計者は、UPL合流回路に注力して注意深く設計し、実装、デバッグすればよい。また、一般的にはUPL合流回路は一度だけ実装すれば、ライブラリとして他の装置への流用も可能である。この結果、装置の設計者は、入力を1個または0個しか持たない比較的設計が容易なUPL処理回路の設計、実装、デバッグに集中でき、装置の開発効率や品質を飛躍的に高めることが可能となる。

本発明のUPL装置は従来のハードウェア専用計算機に比べて容易に設計することができる。本発明のUPL装置に含まれる回路ブロックは前述したように、一ないし複数の機能を有し、これはC言語のようなプログラミング言語の関数に類似している。そして、C言語のようなプログラミング言語で作成したプログラムを適当なトランスレータ（コンパイラ）を用いて主にゲートアレイを基礎とした回路の設計図に変換することが可能であり、これによって回路設計に関する特殊な知識を必要とすることなく容易に本発明のUPL装置を設計することができる。

さらに本件発明のUPL装置では、装置のハードウェア部分もソフトウェア部分もすべて、まずソフトウェアプログラムで記述されるので、コンピューター上でハードウェア部分を製作することなしにその動作検証を行うことができる。また、ハードウェア開発後のデバッグにはハードウェア部分の基となったソフトウェアプログラムを利用してデバッグを行うことができる。従ってデバッグ作業を短時間で高効率に行うことができる。

#### 図面の簡単な説明

第1図は、従来の回路の入出力および、そのタイミング関係を示す図であり、第2図は、本発明のパケットデータに基づく回路の入出力および、そのタイミング関係を示す図であり、第3図は、本発明のUPLの概念を示す図であり、第4図は、本発明による大規模UPL回路の構成例を概念的に示す図であり、第5図は、C言語を用いた関数呼び出しを示す図であり、第6図は、C言語を用いたモ



ジュール相関を示す図であり、第7図は、C言語を用いたモジュール相関を示す図であり、第8図は、C言語を用いたモジュール相関を示す図であり、第9図は、計算（処理）によるパケットの生成過程を示す図であり、第10図は、パケットの生成に関する詳細な説明図であり、第11図は、関数番号と引数構造体を示す図であり、第12図は、UPLの役割を示す図であり、第13図UPL処理回路の具体的な例を示す図であり、第14図は、UPL合流回路の具体的な例を示す図であり、第15図は、本発明の全体の構成を概念的に示す図であり、第16図は、OSI階層モデルと、これに応用されるUPLの概念図であり、第17図は、第N層における受信回路および送信回路を示す図であり、第18図は、本発明のUPL大規模回路を複数のLSIに分割した実施例を示す図であり、第19図は、本発明のUPL回路の処理速度向上を実現する構成の実施例を示す図であり、第20図は、本発明によるUPL回路によるメモリアクセスの高速化を実現する構成の実施例を示す図であり、第21図は、本発明によるUPL回路によって外部情報を扱う実施例を示す図であり、第22図は、本発明のUPL回路と、ソフトウェアの関数との親和性の高さを表わす図であり、第23図は、オブジェクト指向ソフトウェアをハード化することを目的とした構成の実施例を示す図であり、第24図は、UPL装置によるハードウェアとソフトウェアの協調開発の概念を示す図である。

#### 発明の実施の形態

以下、本発明の実施形態を図面を参照して詳細に説明する。本発明の実施形態を、主として、インターネットサーバ機能を実現するUPL装置に基づいて説明するが、本発明がインターネットサーバに限られず、データマイニング、自然言語処理、ネットワーク情報処理、DNA計算シミュレータ、物理シミュレーション、および音声・画像処理のような様々な情報の伝達および計算処理に利用できるであろうことは、当業者には容易に想到し得ることである。

##### I. ハードウェア化の対象となるソフトウェア

はじめに、本発明によるハードウェア化の対象となるソフトウェアについて説明する。

今日開発されている情報の伝達および処理用のソフトウェアの規模は非常に大

きなものであり、一人のプログラマーが単独で開発を完了することは極めて困難である。そのため、大規模のソフトウェアをいくつかの機能部分に分割し、その各機能部分を複数人のプログラマーの各人に割り当て、個々に独立してソフトウェア開発を行うようにしている。そして、ソフトウェア開発後に、それぞれ独立に開発された個々のソフトウェアを結合して、ソフトウェア全体を完成させるようになっている。こうすることにより、プログラマーは個別機能の開発に力を集中することができ、ひいては最終的な製品の完成度を高めることにつながる。

ここで、ソフトウェアを所定の機能を有する複数の部分（例えば、関数）に分解し、独立して開発するにあたって、ソフトウェアをどのような部分に分解するか、また部分どうしをどのように結合するかが課題となる。

これに関しては、プログラミング言語に応じて種々の手法が提案されている。

このうちで、本発明においては、「C言語等の関数呼び出し」の手法を採用して、ソフトウェアの一部もしくは全体をハードウェア化することとしている。

次に、本発明によりハードウェア化するソフトウェアの形態について説明する。ソフトウェアの一つの機能を実現する部分をモジュールと呼ぶことにする。ソフトウェアは一つ以上のモジュールから構成され、モジュールの間は関数呼び出しによって実現されているものとする。以下、プログラミング言語として、C言語を例にとる。このとき、図5に示されるように、モジュールAからモジュールBの関数 `f u n c` を呼び出す場合を考える。

通常、ある関数を呼び出すときには引数が指定される。呼び出された関数では、この引数に応じて処理を行う。関数 `f u n c` の引数として、整数や浮動小数点などの定数、メモリ上の場所（アドレス）を指示するポインタがある。通常はこれらの値を引数リストとして記述する。これを図6に示されるように、一つのポインタ変数を引数とする関数呼び出しを行うように書き換えることも可能である。

具体的には、関数の引数をすべて一つの構成要素にまとめる。そして、整数や浮動小数点の値は、その値を構造体の構成要素とする。ポインタ変数の場合は、そのポインタ変数の指示する場所の値を、構造体の構成要素とする。

呼び出された関数側では、この構造体へのポインタが構造体の引数として渡されるので、構造体から引数を再構築し、本来の処理を行うこととなる。

このように、ソフトウェアのプログラミング言語では、もともとの引数を構造体にまとめ、構造体のポインタだけを引数として呼び出しすることでモジュール間の情報交換を行っている。本発明では、この引数の構造体のようなデータの pakket を用いてハードウェア化されたソフトウェアプログラムのモジュール間の情報交換を行う。

次に、モジュールの関数が複数ある場合を考える。図7に示されるようにモジュールBには `func 1` と `func 2` の2つがあるとする。ハードウェア化の観点から鑑みるとハードウェアインターフェースを1つに統一・共通化したほうが、回路規模を小さくできる場合がある。(このことは消費電力の低減やトランジスタの節約の観点からも重要であるといつてよからう。) このためには、モジュールAから呼び出される関数に対応するものを1つにすればよい。つまり、関数の引数を一つに統一・共通化する実現方法として前述の構造体の構成要素として、本来呼び出したい関数の番号を内包する。これにより、関数によって引数の構造体の定義が違っていたとしても、この番号を見ることによってどの構造体の定義が用いられているかを判別することができる。逆にいえば、どのような種類の構造体が用いられており、その構造体を入力としてどの関数で処理を行えばよいかを関数番号があらわしていると考えすることもできる。

つまり、図8に示されるように、モジュールBでは、モジュールAから呼び出される関数を、関数番号と構造体をポインタとする統一関数 `func` で規定する。この統一関数 `func` では、関数番号 `func ID` によって `func 1` や `func 2` を呼び出すことが可能である。

以上、C言語を例にして説明してきたが、勿論、C言語以外の言語においても、上述した本発明の手法が適用できる。というのは、コンピュータの基礎理論である情報数学において、通常利用されているアセンブラ言語・BASIC言語・C言語・C++言語・Java言語等は各言語の記述能力が等価であることが証明されているからである。このことは、どの言語で書かれているソフトウェアでも他の言語に変換することが可能であることを意味し、本発明の手法を他の言語に適用することを妨げるものではない。

## II. ハードウェア化の基本手法

次に、本発明によるソフトウェアをハードウェア化するための基本的手法について説明する。本発明における、ハードウェア化されるソフトウェアのモジュールは、図8に示す形を有している必要がある。ここでは、モジュール間でどのように引数構造体が扱われているか説明する。図9にその代表例を示す。モジュールBを見ると外部（この例ではモジュールA）から引数 `args` に対応するメモリ領域が示され、この領域の情報を使って何らかの計算・処理を行う。モジュールBもモジュールCを呼び出すことが一般的であるから、モジュールCに対して、引数構造体のポインタを指定して関数を呼び出すことになる。つまり、モジュールの入力として引数構造体が渡され、モジュールはその構造体にかかれた情報から計算を行い、次のモジュールを呼び出す引数構造体を生成する。すべてのソフトウェアは、このような形式で実現することができる。

本発明においてプログラミング言語で記述されたソフトウェアモジュールをハードウェア化する場合は、まず、`func 1`や`func 2`の処理本体の関数部分をハードウェアで実現する。また引数構造体は、レジスタとして関数部分のハードウェアから参照することができる。

つまり、図10に示されるように、入力としての引数構造体に対応する入力レジスタと次のモジュール呼び出しのための引数構造体に対する出力レジスタが存在する。入力レジスタの値から、ハードウェアによって計算を行い、結果を出力レジスタに格納する。ハードウェアとしては、ハードワイヤード方式の回路を用いることも状態遷移機械を用いることも可能である。状態遷移機械の遷移や出力がプログラム可能なものとして、マイクロプロセッサがあるが、マイクロプロセッサによって入力レジスタから出力レジスタの値を計算することも可能である。

### III. ハードウェアモジュール間の通信方法

さらに、本発明によるハードウェアモジュール間の通信方法特に、本発明において重要なモジュール間通信システムの仕組みについて説明する。モジュール間の関数呼び出しにおける引数には、関数番号と引数構造体のポインタがあることを前節において述べたとおりである。計算に係るハードウェアから見ると、引数構造体の実体がレジスタの出力値として参照できる必要があることから、実際はポインタではなく実体である値が必要である。つまり、モジュールをなすハード

ウェア間で、関数番号と引数構造体の実体である値をやり取りすればよい。

図11にモジュール間でやりとりするパケットの例を示す。関数番号と引数構造体からなるデータをパケットというデータの塊にまとめ、このパケット単位でモジュール間通信を行う。パケットの先頭1ワードには、関数番号が格納されており、この番号をもとにしてどの計算ハードウェアの入力レジスタに引数構造体を反映させるかを決定する。図12には、パケットの入出力ハードウェアの例を示す。モジュールハードウェア間には、ユニバーサルプロトコルライン (UPL) と便宜上呼ぶパケット通信を採用し、これによってモジュール間が接続される。UPLは出力レジスタから入力レジスタへとその値を転送する仕組みである。UPLの実装には、通常使われるシリアル転送の仕組みやLVDS (Low Voltage Differential Signaling)、3値論理方式、Ethernet、USB、IEEE1284、インターネットなど、転送速度、伝送距離などの諸条件にあったものを自由に選ぶことができる。

出力レジスタは関数番号と引数構造体に相当するデータ部からなる。モジュールハードウェアによって、出力レジスタに値が設定されると、出力レジスタの値がUPLの出力される。UPLによって受信されるパケットのうち、当該受信モジュールが受信すべきパケットだけを入力レジスタに設定する。受信すべきかどうかは、関数番号を参照することで判断できる。

#### IV. UPL処理回路およびUPL合流回路の具体例

図13に1つのUPL処理回路の具体例を示した。UPLパケットデータは、入力UPLとしてデータ信号線を介してUPL処理回路部に入力され、UPL入力回路部において個々の処理を行う演算回路に適したデータ形式に変換されてユーザ処理回路に出力され、ユーザ処理回路部で所定の演算処理などの所定の処理を加えてUPL出力回路に出力され、UPL出力回路部ではユーザ処理回路からの出力をUPL仕様に基づくUPLパケットデータに変換されて出力UPLとして出力される。このようにUPL回路間でUPLパケットデータが伝送される。また、送受されるデータはイネーブル信号およびクロックによってタイミングなどの制御が行われている。

より具体的には、UPL入力回路に入力されたUPLデータパケットはシリア

ルインパラレルアウトレジスタにおいて、それぞれの回路に適したデータの入力形式に分割される。図において太線は8ビットに相当する複線の信号線を意味している。つづいてfuncIDとして収容されたデータが処理ステートマシンによって評価され、入力されたデータが自回路あてのデータである場合、シリアルインパラレルアウトレジスタに収容された入力値a, bを加算器のA, Bから入力して加算し、結果eを出力して比較器のCへ入力する。また、比較器のDへの入力値cが入力されており、比較器においてeとcの大きさが比較される。ここで $e > c$ であれば、比較器から $f = 1$ が、 $e < c$ であれば $f = 0$ が入力値fとしてマルチプレクサに出力される。つぎにマルチプレクサにおいて、fの値に基づいて $f = 1$ ならば、Eからの入力値cを、 $f = 0$ ならば、Fからの入力値dをUPL出力回路に入力値gとして出力する。最後に処理ステートマシンから出力された次に利用される回路を示すデータとマルチプレクサから出力されたgをUPL出力回路部においてUPLパケットデータに変換して出力する。処理ステートマシンによって評価されたデータが自回路あてではない場合は、このUPL処理回路は特定の処理を行わず、したがって、データは出力されない。ここでは図示されていないが、自回路あてではないデータを入力された場合にそのデータをそのまま次の回路へ出力する経路を持つことも可能である。この例では、入力UPLのデータ線の幅は1bitである。データ線の幅は、2bitでも3bitでもデータの全長である40bitでも、それより長い例えば128bitでもよい。データ線の幅を広くすれば、データの伝送にかかる時間を短くすることができるが、UPL回路間の配線数が増える。設計者は、回路に要求された仕様や、回路実現に用いるLSIなどの素子の特性、物理的な配線の制約などを考慮して、最適なデータ幅を用いることができる。

以下にUPL処理回路の各部分のより詳しい説明を行う。

#### 入力UPL

この例では、1ビットデータ線からなるクロック同期シリアル伝送路である。データ線上の値がデータとして有効であることを示すイネーブル信号線を伴っている。

#### UPL入力回路

UPL信号線群をユーザ処理回路の入力値として接続する回路。

#### シリアルインパラレルアウトレジスタ

クロック同期型のシフトレジスタにより構成される。イネーブル信号線が有効であるとき、入力された1ビットデータを順にQ0からQ39にセットする。

#### 入力ステートマシン

入力UPLのイネーブル信号を受け取り、シリアルインパラレルアウトレジスタを制御する。またパケットの受信が完了したことを検出する。受信が完了するとfuncID, a, b, c, dの各値が確定するので、入力イネーブル信号を出力し、次の処理ステートマシンにそのことを通知する。

#### 処理ステートマシン

入力値が確定した後、出力値が確定するタイミングを生成する回路。ユーザ処理回路中のレジスタの確定タイミングも制御する。

funcIDを入力として受け取り、データが自回路宛てであるかどうかを判断する。自回路宛ての場合は、処理回路の動作を制御し、出力を行う。また、自回路宛てでない場合は、処理回路の動作を停止し、出力は行わない。

funcIDを出力し、次に動作を行う回路の指定を行う。場合によってはユーザ処理回路からの信号により、funcIDを変化させ、処理結果に応じて次に動作を行う回路を動的に変化させる。

#### 入力イネーブル信号

ユーザ処理回路の入力値が確定したことを示す信号線。

#### 出力イネーブル信号

ユーザ処理回路の出力値が確定したことを示す信号線。

#### ユーザ処理回路

UPL処理回路が本来行いたい処理そのものを実現する回路。通常はUPL装置設計者がC言語等のプログラミング言語で記述したプログラムから、コンパイラによって自動合成される。設計者がVHDLやVerilogなどの回路記述言語により直接記述することもある。

#### 出力UPL

この例では、1ビットデータ線からなるクロック同期シリアル伝送路である。

データ線上の値がデータとして有効であることを示すイネーブル信号線を伴っている。

### UPL出力回路

ユーザ処理回路の出力値を出力UPL信号線群に接続する回路。

### パラレルインシリアルアウトレジスタ

クロック同期型のシフトレジスタにより構成される。イネーブル信号線が有効であるとき、入力されたD0からD15の値を内部ラッチに保持する。

その後、クロック毎にD0から1ビットずつQに出力される。

### 出力ステートマシン

出力イネーブル信号を受け取り、パケットの送信を制御する。パラレルインシリアルアウトレジスタを制御し、出力UPLのイネーブル信号を生成する。

図14に1つのUPL合流回路の具体例を示した。UPLパケットデータは、入力UPL1および入力UPL2としてデータ信号線を介して、入力UPL1と入力UPL2のタイミングをクロック調整回路によって調整しながら、UPL合流回路に入力される。それぞれの入力UPLから入力されたデータはそれぞれのパケットバッファメモリに保持される。パケットバッファメモリはそれぞれのパケットバッファメモリに接続されたパケットバッファメモリ管理ステートマシンによって、その書き込み／読み込みの制御が行われる。また、パケットバッファメモリ管理ステートマシンはさらに出力調停回路に接続されている。そして入力UPL1および入力UPL2から入力されたUPLパケットデータは、出力調停回路によってタイミングの調整をされながら、単一の出力UPLからUPLパケットデータとして出力される。また、送受されるデータはイネーブル信号およびクロックによってタイミングなどの制御がされている。

以下にUPL合流回路の各部分のより詳しい説明を行う。

### 入力UPL1、入力UPL2

この例では、1ビットデータ線からなるクロック同期シリアル伝送路である。データ線上の値がデータとして有効であることを示すイネーブル信号線を伴っている。

### パケットバッファメモリ



入力UPLから入力されたパケットを一時的に保持するメモリ。

#### パケットバッファメモリ管理ステートマシン

パケットバッファメモリの書き込み、読み込みの制御を行い、出力UPLのイネーブル信号線を制御する。

複数のパケットバッファメモリが同時に出力を行うと、パケットのデータが破壊されてしまうため、排他的に処理を行うための仕組みが必要である。これを実現するために出力調停回路に調停を要求し、許可があったときのみ出力UPLに出力する処理を行う。

#### 出力調停回路

調停要求入力を複数回路から受け取り、要求を出した回路に対して、調停確認出力を返す。同時に調停要求入力を受け取ったときは、同時には1つの調停確認出力だけを返す。

#### 出力UPL

UPL合流回路の出力UPLであり、複数の入力UPLから受け取ったパケットを値を変えずに出力する。

#### V. 本発明の応用例

上述したような本発明の技術手法を用いることによって、これまではソフトウェアで実現されていた様々なデータ処理装置を容易にハードウェア化することが可能となる。以下でその具体的な応用例について説明する。

#### インターネットサーバ

インターネット上でサービスを提供するサーバといわれるコンピュータがある。インターネットでつながったクライアントコンピュータから様々な要求を受理し、その要求に応じてクライアントにデータを返すコンピュータである。このコンピュータには、オペレーティングシステムソフトウェアとサーバソフトウェアが動作している。インターネットが爆発的に拡大し、クライアントコンピュータ数が増加し、またアクセス回線がADSL・SDSL・光ファイバー等により、乗数倍的に高速化されているため、大量の要求がサーバコンピュータに集中的に負荷がかかっている。

これまでは、サーバコンピュータのCPUやメモリといったハードウェア的な

処理能力を増強し、また、ソフトウェアの改良によって、処理可能な量を等差的に増大させてきた。しかしながら、もはや要求の増加のほうが処理能力を上回りつつあるし、現在すでに一時的に処理能力を上回ったため、サーバが機能できなくなり、サービスを停止してしまうということがしばしばみられる。

そこで、本発明の技術手法を情報処理装置に適用し、サーバ上で動作しているオペレーティングソフトウェアとサーバソフトウェアをハードウェアに置き換えるようにすれば、処理を高速に行うことが可能となる。この他にもルータ、クライアントマシンにおいても同様のことがあてはまる。

サーバソフトウェアの例として、Webサーバのハードウェア化の例を図15に示す。イーサネット受信モジュールによって、LANの一種であるイーサネット物理層インタフェースが受信されたイーサパケットを処理し、UPLに出力する。UPL上には、ARP（アドレス解決プロトコル）を処理するARPモジュール、IP（インターネットプロトコル）を処理するIPモジュールがつながっている。イーサネットパケットのプロトコル識別子の値に応じて別々のプロトコルコードをつけられたパケットが生成される。これによって、イーサネットモジュールがUPLに送信したパケットは、ARPモジュールが処理すべきかIPモジュールが処理すべきかが決定される。

イーサネットモジュールのARP回路は、ARPリクエストパケットを受信したときに、ARPリプライパケットを送信するという処理を担当するモジュールである。データ部に含まれるイーサネットパケットを参照しながら、リプライパケットを送信すべきかどうか、どのような内容のリプライパケットかを、自IPアドレスなどを保持している情報テーブルを参照しながら決定し、イーサネット送信モジュールに向けて送信する。

IPモジュールのIP受信回路では、IPパケットを受信し、チェックサムの検査、受信すべきIPパケットかどうかの検査を行う。さらにIPデータ部のプロトコルに応じて、TCPパケットであればTCPモジュールへ、UDPパケットであればUDPモジュールへ、といった分岐処理を行う。このとき、IPヘッダの中から、上位層の処理に必要なIPアドレスやパケット長などの情報を抽出し、IP層不完全ヘッダとして、IP層データとともに、送信される。また、分

断化されたパケットの復元などの処理、自分宛でないパケットのフォワード処理なども適宜行う。またTCPモジュールやICMP回路、その他の回路からのUPLをUPL合流回路により1つに集約し、IPモジュールのIP送信回路に接続される。送信先に関する情報がIP層不完全ヘッダとして、TCPなど前段モジュールから与えられる。これらの情報から、IP送信回路ではIP層完全ヘッダを構成し、イーサネット送信回路へ出力する。TCPモジュールでは、TCPで定めたプロトコル処理を、また、HTTPモジュールでは、HTTPで定められたプロトコル処理を行う。

コンテンツモジュールでは、Webサーバがクライアントコンピュータに送り返すべきWebデータを保持している。保持機構としては、フラッシュメモリ・スタティックメモリ等電氣的記憶装置、このほかにもハードディスクといった磁氣的記憶装置等、電気回路と接続可能な様々な記憶装置をもちいることができる。

### OSI 7階層モデル

図16(a)に、ネットワークの基本となる構想であるOSI 7階層モデルに本発明のUPLを適用した例を示す。OSI 7階層モデルは、図のように第1層（物理層）、第2層（データリンク層）、第3層（ネットワーク層）、第4層（トランスポート層）、第5層（セッション層）、第6層（プレゼンテーション層）、第7層（アプリケーション層）を含んでいる。ここで各層は、第N層送信回路7と第N層受信回路6によって接続され、それぞれの層がUPL規格に従った伝送方式によって隣り合った層との間で通信を行っている。また、第1層の処理回路に接続された外部受信回路、外部送信回路、コネクタおよびケーブルを介して外部のネットワークと接続されている。外部のネットワークとの通信には当業者には周知の転送方式を使用することもできる。図16(b)は、OSI 7階層モデルの隣り合う層の接続部分の拡大図を示す。ここでは、N層内のモジュールAの処理装置のUPL出力からUPLパケットが出力され、入力レジスタ、通信路、出力レジスタを介して隣接するM層( $M=N+1$  or  $N-1$ )内のモジュールBの処理装置のUPL入力にUPLパケットが伝送されるようになっている。

ここで用いられるデータパケットは、例えば、図17(a)のような構造を有している。図17(b)には第N層受信回路6を示した。ここで、N-1層まで

の完全ヘッダのうち、N層の処理に必要な情報を抽出したものを

「N-1層の不完全ヘッダ情報」と呼ぶことにする。(完全ヘッダとは、通信プロトコルでの取り決めに従って構成されているヘッダ情報である。)一般に「N-1層のデータ」は、N層において「N層の完全ヘッダ」と「N層のデータ」ととらえることができる。このときN層では、「N-1層の不完全ヘッダ情報」と「N層の完全ヘッダ情報」からN+1層の処理で必要となる「N層の不完全ヘッダ情報」を生成する。そして生成された「N層の不完全ヘッダ情報」と「N層のデータ」は、UPLを介してN+1層に伝達される。また、送信処理においては上記とまったく逆の動作が行なわれる。図17(c)に第N層送信回路7を示した。N+1層から、「N層の不完全ヘッダ情報」と「N層のデータ」がUPLを介してN層に伝達されてくる。N層の処理回路では、「N層の不完全ヘッダ情報」にN層内部に持っている情報を追加して、「N層の完全ヘッダ情報」を生成する。そして、「N層の完全ヘッダ情報」と「N層のデータ」を合わせて「N-1層のデータ」とする。また「N-1層の不完全ヘッダ情報」も生成する。そして「N-1層の不完全ヘッダ情報」と「N-1層のデータ」をUPLを介してN-1層に伝送する。

このように、本発明ではインターネット環境における情報通信処理装置において、これまでの一貫したCPU処理に代わる、ヘッダの完全化・不完全化による通信処理装置とUPL装置の採用によって、通信情報処理装置の通信処理ソフトウェアを効果的にハードウェアに置き換えることが可能となり、通信プロトコルの高速処理が実現される。この結果、ワイヤスピードで通信処理をすることが可能となる。

ここで、ヘッダの不完全化による通信情報処理とは、外部入力からの情報を後続の回路での処理において必要なものだけに共通化・抽象化することによって処理を迅速にする手法である。この点、もともとのデータ量と比較すると情報量は減らされているが、内部処理において情報流通に必要なものだけを故意に共通化・抽象化し、不完全化することにより、プロトコル処理を高速化することが可能となる。この手法を使って、情報処理装置におけるプロトコル処理を円滑に処理することができる。

上述のように、本発明により、UPL装置を用いてOSI 7階層モデルにおけ

る各層の入出力処理をハードウェアで実現することができるが、出力に関して、上記UPL装置とヘッダの完全化による情報処理装置を用いて、ハードウェア上で不完全ヘッダ情報を完全ヘッダ情報に戻し、必要に応じて情報テーブルを参照しながら、必要な情報をヘッダと一緒に要求された装置に迅速に送ることができるようになっている。

#### その他の応用例

本発明の他の応用例(a)によれば、図18に示すように、回路間の通信量や、LSI間の物理的制約にあわせて、任意に選択された1ないし複数のUPL処理回路(およびUPL合流回路)を1つのLSIに割付して、複数のLSIの組み合わせからUPL装置を構成することができる。ここで、LSI1を例にとると、複数の入力(図では2つ)をもつUPL合流回路が、2つ以上の回路から出力されるパケットを1つのパケットに単純に合流させて出力する処理を行う。そして、つづくUPL処理回路が所定の処理(計算など)を行い結果をパケットとして出力し、つづくLSI2にパケットを伝送している。また、ここではUPL処理回路の出力の1つをUPL合流回路にフィードバックさせている。

本発明の他実施例(b)によれば、図19(a)のような回路においてUPL処理回路の処理速度がボトルネックとなっている回路を、図19(b)に示すように単体の処理速度を高速化する、または図19(c)に示すようにUPL処理回路を並列に設置することによって容易にボトルネックとなっているUPL処理回路の処理スピードを改善し、他の回路の実装を変更せずとも、装置全体の処理能力を向上することができる。

本発明の他の応用例(c)によるメモリアクセス回路を図20示す。この図に示されるように、本発明によるUPL処理回路を応用したメモリアクセス回路は、メモリのリード/ライトをするUPL処理回路と計算等をするUPL処理回路を分割することによって、図20(b)に示すようにパイプライン処理を行うことが可能となり、従来より高速な処理ができる(従来はメモリ読み込み、計算処理、メモリ書き込みの一連の動作を完了してから次の処理へと進んでいた)。また、実際の回路では図20(c)に示すように1つの処理回路で排他処理などのメモリ管理を行うこともできる。

本発明の他の応用例（d）を図21に示す。この図に示されるように、既存のデータフォーマット（イーサネットパケットなど）の外部情報を、UPL処理回路においてUPLパケットに変換しカプセル化することができる。これによって、UPLの枠組みの中で、一見UPLとは異なったデータフォーマットも扱うことができ、また既存のデータフォーマットを処理する回路を構成することもできる。

本発明の他の応用例（e）を図22に示す。この図に示されるように、本発明のUPL装置はプログラミング言語との高い親和性を持つので、C言語、C++言語、Java言語などの関数（メソッド）をUPL処理回路に対応付けすることができる。また、UPL処理回路単位でのデバッグ作業が容易にできる。

本発明の他の応用例（f）を図23に示す。前述したように、高効率メモリアクセスの実現と、メソッドのハードウェア化の組み合わせによって、オブジェクト指向ソフトウェアを容易にハードウェアとして実現することができる。図23（a）に示す例においては、オブジェクト指向ソフトウェア（この例ではJava言語）をC言語に変換し（ここでクラス変数やインスタンス変数を大域変数へと変換し、クラスのインスタンスを指し示すインスタンスIDを関数呼び出し時に指定している）、さらにハードウェアの回路構成に変換することを意図しているが、オブジェクト指向ソフトウェアから直接ハードウェアの回路構成に変換することも可能である。図23（b）は、具体的なC言語プログラムのハードウェア化を示す。この図に示されるように、クラス変数やインスタンス変数は前述したUPLメモリアクセス回路のメモリ素子に保持し、関数は前述したようにUPL処理回路に対応付けてハードウェア化することができる。

今までの例においては、ソフトウェアプログラムをすべてハードウェア化する方法を述べてきたが、ハードウェア化が、スピードやコストなど他の点で利点がない場合には一部の機能単位はハードウェア化せずに汎用の計算機で行い、その計算機にUPL入／出力装置を設けて、UPL仕様に基づくハードウェア部分と、汎用計算機によるソフトウェア部分を接続して共存させることも可能である。

以下に、UPL装置によるハードウェアとソフトウェアの協調開発の概念を図24を参照しながら説明する。まず、図24（a）の初期段階において、装置のn個の全ての機能（ソフトウェア機能1、ソフトウェア機能2、ソフトウェア機

能3、、、ソフトウェア機能n)をソフトウェアで記述したプログラムを構成する。  
ここでソフトウェアプログラムの構成方法（アルゴリズムやデータ構造、機能分

割など)に誤りがないことを確認する。このソフトウェアプログラムの構成は通常のマイクロコンピュータでも行うことができる。

次に図24(b)のハードウェア段階において、装置としての動作を検証しながら、可能なところからソフトウェアによって構成されていた機能の一部を既に述べたようなUPL仕様に基づくハードウェアであるUPL処理回路(およびUPL合流回路)に順次置き換える。(図ではソフトウェア機能1、ソフトウェア機能2、ソフトウェア機能3がそれぞれUPL処理回路1、UPL処理回路2、UPL処理回路3に置き換えられている。また、図示はされていないがソフトウェア部は通常のマイクロコンピュータのような計算機で実行され、UPL仕様に基づくハードウェア部分とコンピュータ部分を接続するために、その間にコンピュータの入出力をUPL仕様に変換する装置が存在する。)ここでハードウェア単体の検証と装置としての検証を同時に行うことができる。そして、動作検証を行いながら、ソフトウェアによって実現されていた機能をUPL処理回路(およびUPL合流回路)によりハードウェアに置換する工程をつづける。UPL処理回路同士の動作について独立性が高いので、ハードウェア化を行った部分に集中的にデバッグができる。また、UPL処理回路同士は別々に開発ができ、個々が完全に動作するとき、それらを接続した全体も完全に動作する。UPL処理回路を追加して、動作しなくなれば、その回路が動作しない原因であり、動作しない部分の特定が容易である。さらに、UPL処理回路は全体に比べ規模が小さいため、UPL処理回路内部のデバッグは容易にできるというような特徴がある。

最後に図21(c)に開発終了段階を示した。この段階は当初予定したハードウェアとソフトウェアの分割点に達した時点を示す。全ての機能がハードウェア化される装置ではマイクロプロセッサ部分(ソフトウェア部分)がなくなる。また、この段階にいたる全ての時点で常に動作検証が行えるため、この段階に達した時点で、動作検証も完了することができる。

#### 産業上の利用可能性

本発明によれば、次のような作用効果が得られることとなる。

(1) 回路は、ソフトウェアをもたず、ハードワイアードな構成となるため、処理動作を高速化することができる。例えば、前記インターネットサーバに対する



応用において、サーバに対して高い負荷がかかっても、情報を処理しきれずに、結果として、処理を停止してしまう事態が回避され、ギガビットレベルで瞬時に処理し、インフラとしてのインターネットに対して信頼をもたせることが可能となる。

(2) 回路設計に柔軟性をもたせることができるため、処理能力の変更及び向上が容易である。

(3) 回路分割が容易であり、ASIC等の専用LSIでなく複数の中規模汎用集積回路や大規模ゲートアレイ（例えば、FPGA）により回路が実現できる。

(4) プログラミング言語との親和性が高く、またオブジェクト指向のソフトウェアのハードウェア化が容易である。

(5) UPLはソフトウェアとハードウェアの統一的なインターフェースであるので、ハードウェアとソフトウェアを協調させることが容易にでき、ハードウェアの斬新的な開発を容易に行うことができ、結果として複雑な装置であっても、短時間に低コストで容易に開発することができる。

## 請 求 の 範 囲

1. ハードウェアによる情報処理装置であって、

各々が、情報データの入力に応答して、特定の情報処理を実行する複数の処理回路モジュールと、

複数系統の情報データを1つの系統に合流させる合流回路モジュールと、

前記処理回路モジュール間および前記合流回路モジュール間、並びに前記処理回路モジュールと前記合流モジュールの間で、単方向にて前記情報データをデータセットの形式で送受するための伝送手段とを含むことを特徴とする情報処理装置。

2. 1ないし複数の処理回路モジュールと、0もしくは1以上の合流回路モジュールとを含むハードウェアによる情報処理装置であって、

前記処理回路モジュールおよび前記合流回路モジュールは、所定の情報を含むデータセットによる単一方向の情報伝達を、前記処理回路モジュール、前記合流回路モジュールまたはI/Oインターフェースとの間で行い、

前記処理回路モジュールの各々は、そのモジュール固有の機能を果たす回路を有するとともに、0または1の入力と、0以上の出力とを有し、

前記合流回路モジュールは、2つ以上の入力および1つの出力を有し、2つ以上の回路から出力されるデータセットを1つの出力に合流させる処理を行うことを特徴とする情報処理装置。

3. 情報処理装置であって、

所与の情報処理用ソフトウェアを、その機能単位毎に、ハードウェア化することにより構成される複数のハードウェアモジュールと、

該複数のハードウェアモジュール間で、データをデータセットの単位で、かつ単方向に伝送するための伝送手段とを含む情報処理装置。

4. 前記ソフトウェアの機能単位が、例えば、C言語の関数呼び出しによって、ヘッダ・データ情報のやり取りおよび処理が行われるようなソフトウェア要素に対応するものである請求項3に記載の情報処理装置。

5. インターネットサーバの機能を有する、請求項1ないし4のいずれかに記載

の情報処理装置。

6. データマイニング、自然言語処理、ネットワーク情報処理、DNA計算シミュレータ、物理シミュレーション、および音声・画像処理の機能のうちの一機能有する、請求項1ないし4のいずれかに記載の情報処理装置。

7. 情報処理装置の製作方法であって、

所定の情報処理機能を汎用計算機上で実現するソフトウェアプログラムを1ないし複数の任意の機能単位に分割するステップと、

任意の固定または可変長のデータセットを介して連絡する、0または1つの入力と、0もしくは1以上の出力とを有し、前記データセットに基づいて前記分割された機能単位に対応した所定の処理動作を行う機能を有するハードウェアの処理回路モジュールを提供するステップと

複数の入力と1つの出力とを有し、複数の入力から入力された複数の前記データセットの入力を1つの出力に統合する機能を有するハードウェアの合流回路モジュールを提供するステップとを有し、

1ないし複数の前記処理回路モジュールを相互に組み合わせ、もしくは、さらに1以上の前記合流回路モジュールのそれぞれの入・出力を組み合わせ、前記ソフトウェアプログラムと汎用計算機によって実現された処理動作をハードウェア回路で実現できるようにする情報処理装置の製作方法。

8. 前記処理回路モジュールが、ゲートアレイから構成されている請求項7に記載の方法。

9. 前記データセットが、前記処理回路モジュールが直接または間接的に接続される他の前記処理回路モジュールを制御する情報を有するヘッダ部分と、データ部分とを含む請求項7に記載の方法。

10. 前記合流回路モジュールが、一時的に inputs された前記データセットを保存するための記憶装置を含む請求項7に記載の方法。

11. 前記処理回路モジュールおよび前記合流回路モジュールが、入力された前記データセットの処理状態をフィードバックするための手段を含む請求項7に記載の方法。

12. 情報処理装置の製作方法であって、

所定の情報処理機能を汎用計算機上で実現するソフトウェアプログラムを1もしくは複数の機能単位に分割するステップと、

前記分割された機能単位の中からハードウェア化する機能単位を選択するステップと、

任意の固定または可変長のデータセットを介して連絡する、0または1つの入力と、0もしくは1以上の出力とを有し、前記選択された機能単位のそれぞれに対応する処理動作を行う機能を有する複数のハードウェアの処理回路モジュールを提供するステップと、

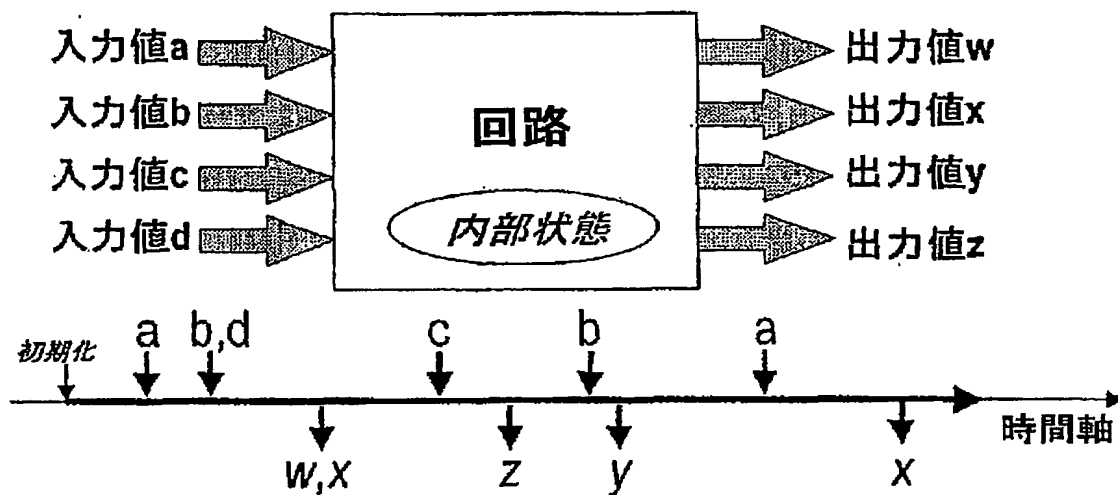
複数の入力から入力された前記データセットの入力を1つの出力に統合する機能を有するハードウェアの合流回路モジュールを提供するステップとを有し、

前記1もしくは複数の処理回路モジュールを相互に組み合わせ、もしくは、さらに前記合流回路モジュールと組み合わせて、前記ソフトウェアプログラムの全処理動作をハードウェア回路と汎用計算機によるソフトウェア部分との組み合わせで実現できるようにする情報処理装置の製作方法。

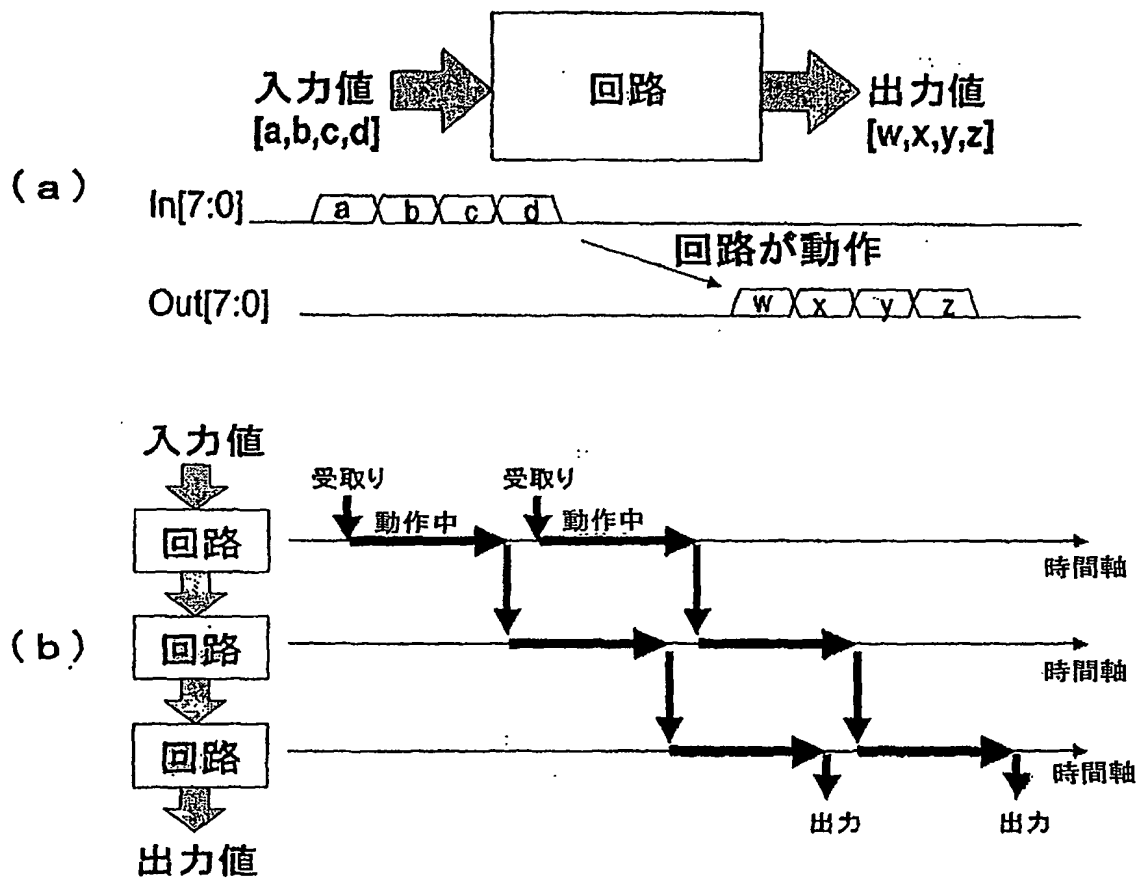
13. 前記処理回路モジュール又は合流回路モジュールをソフトウェア部分と組み合わせるステップにおいて、前記ソフトウェアプログラムの置換されるべき機能単位は動作検証されながら1つずつ前記処理回路モジュール又は合流回路モジュールに置換される、請求項12に記載の方法。

14. 請求項7ないし13のいずれかに記載の方法によって製作された回路を含む装置。

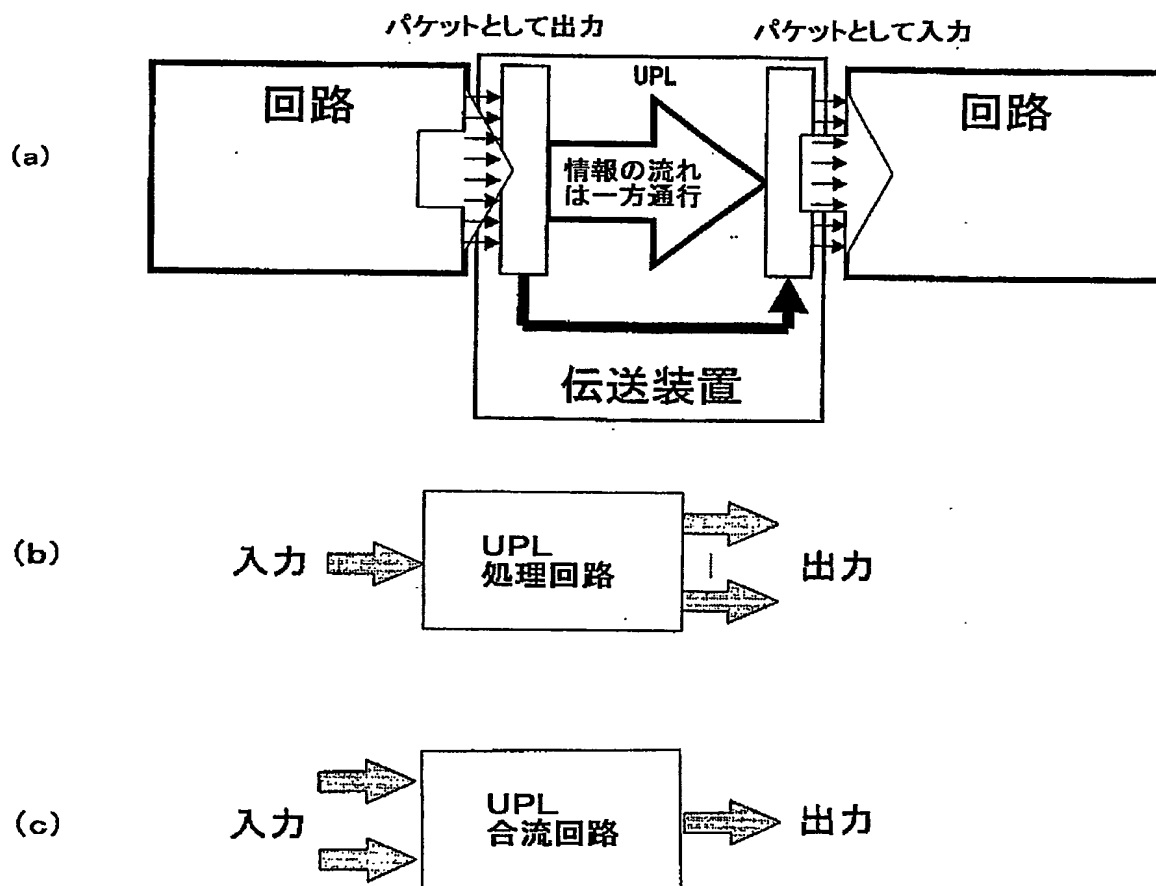
第 1 図



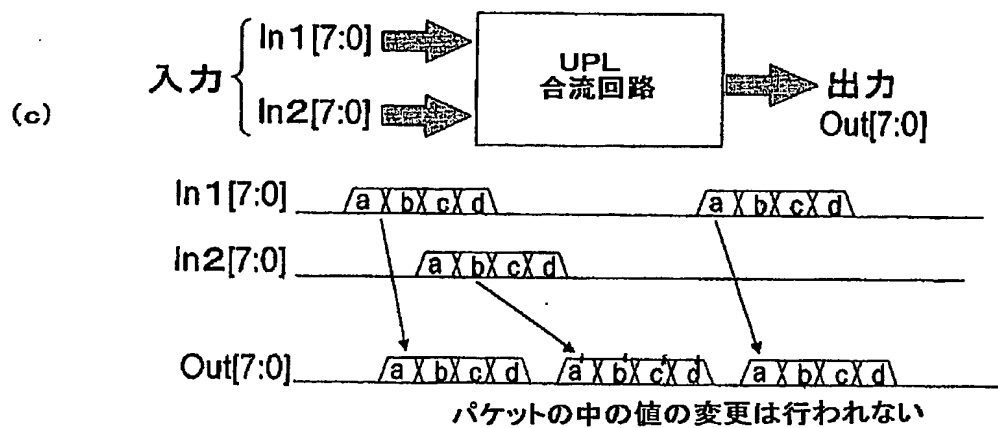
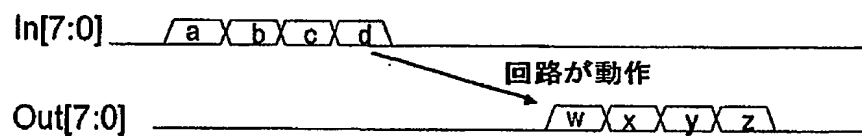
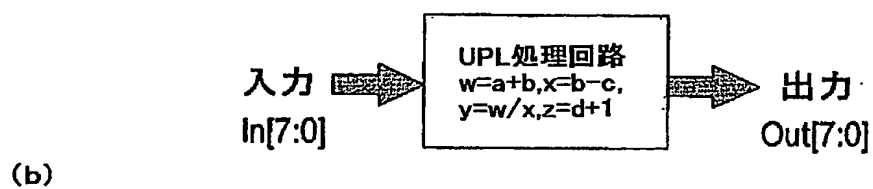
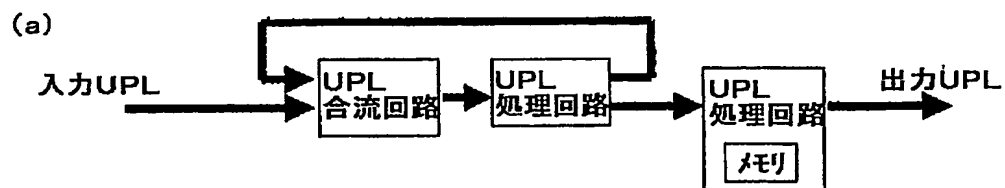
## 第2図



## 第3図

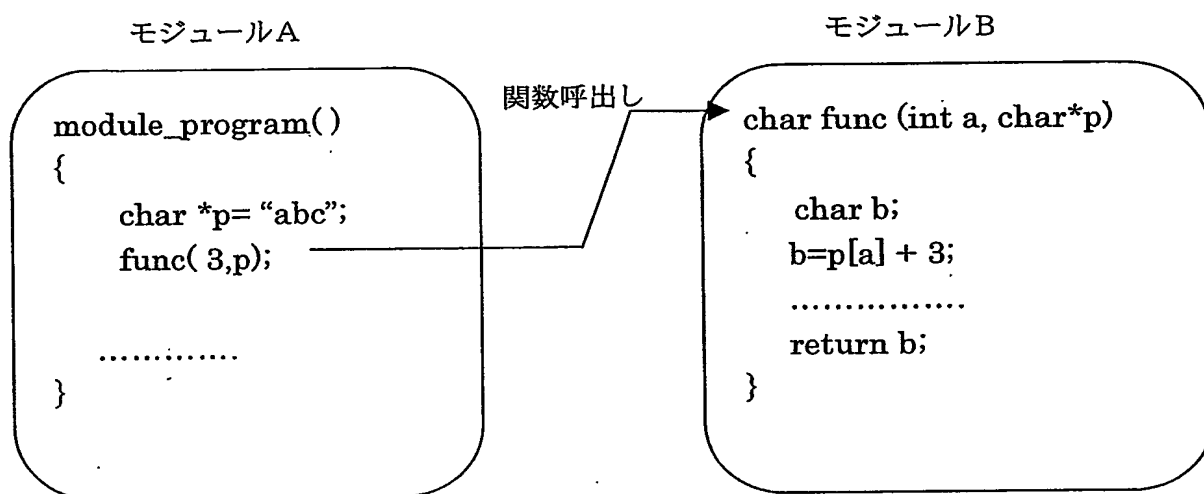


## 第4図

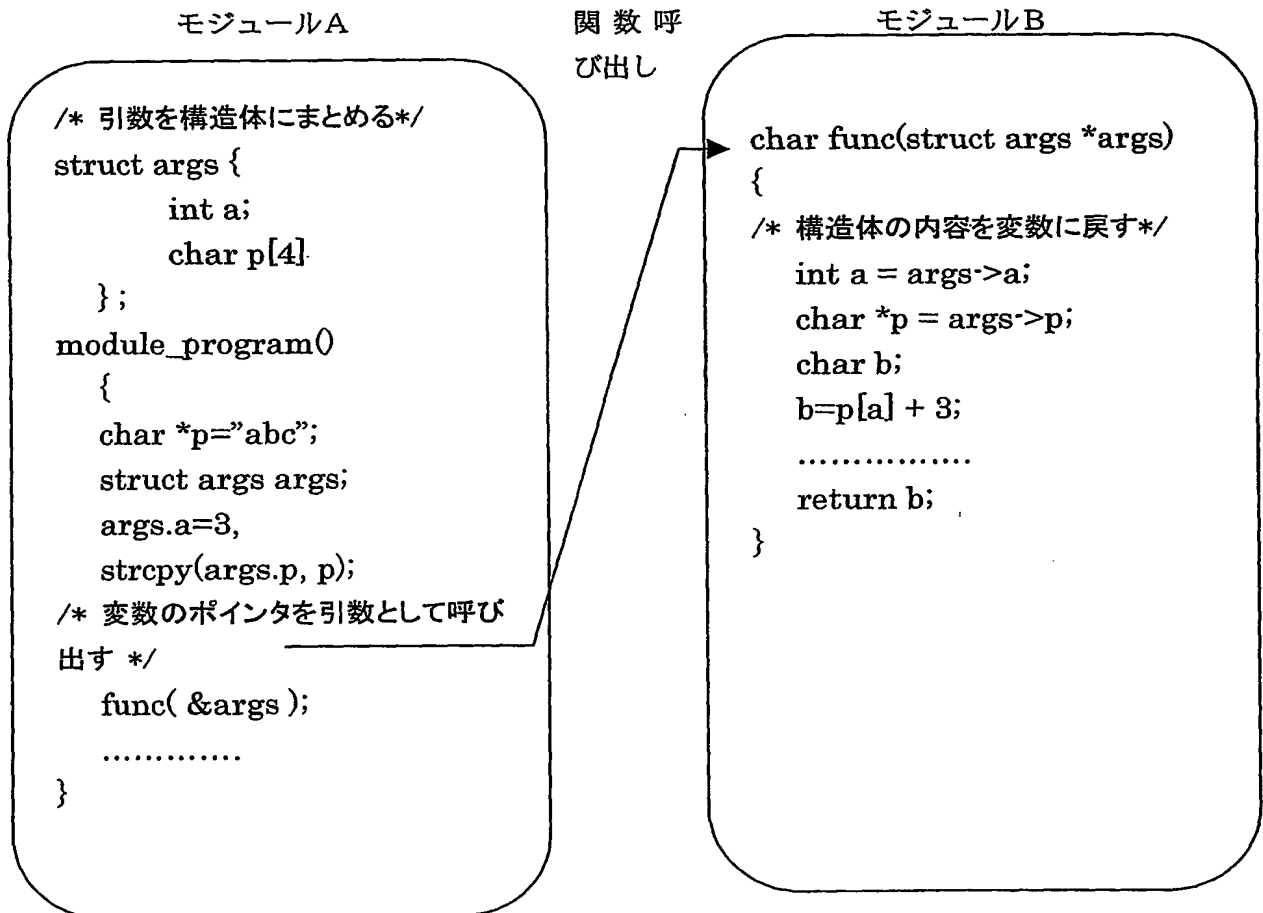




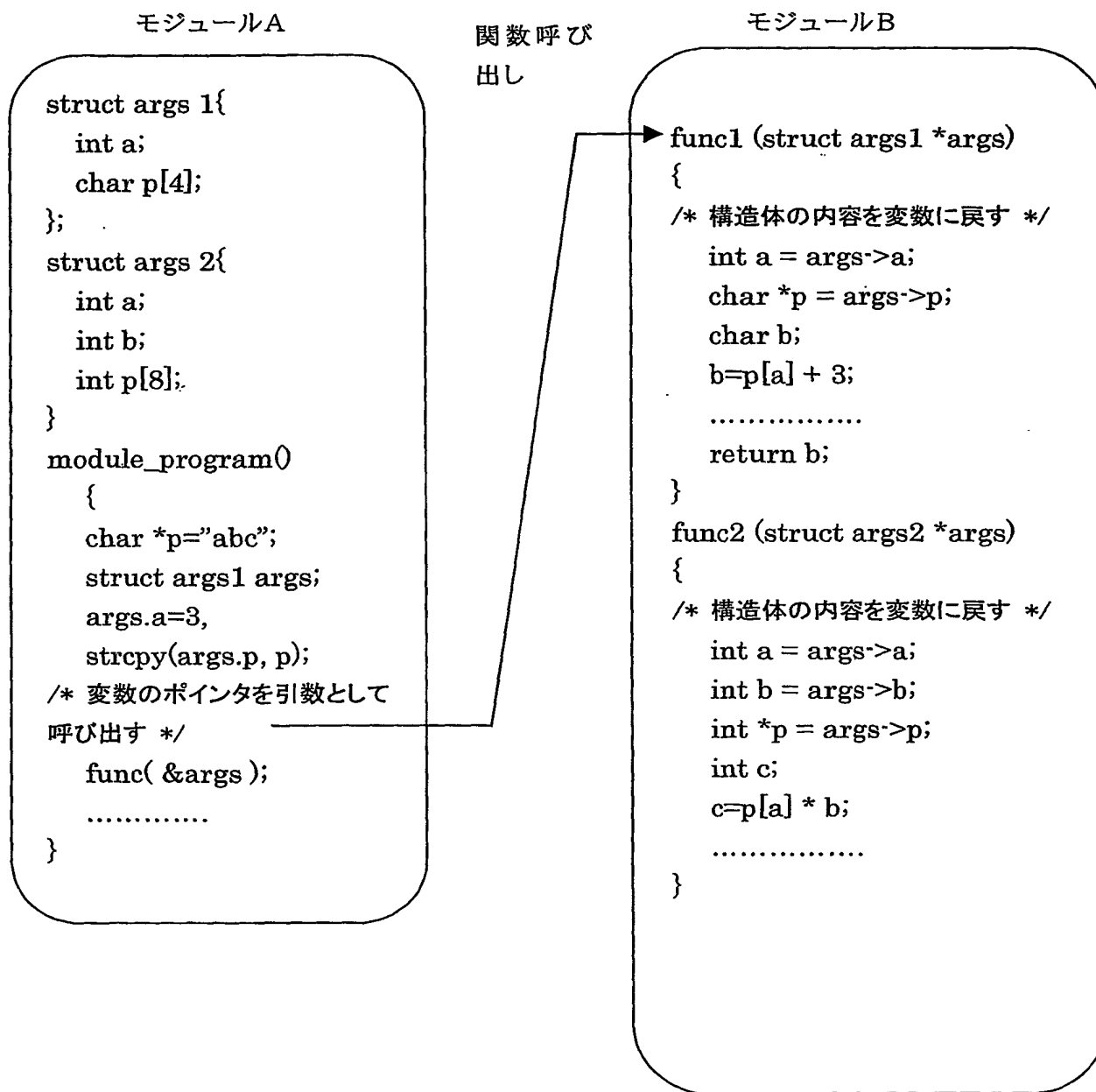
## 第5図



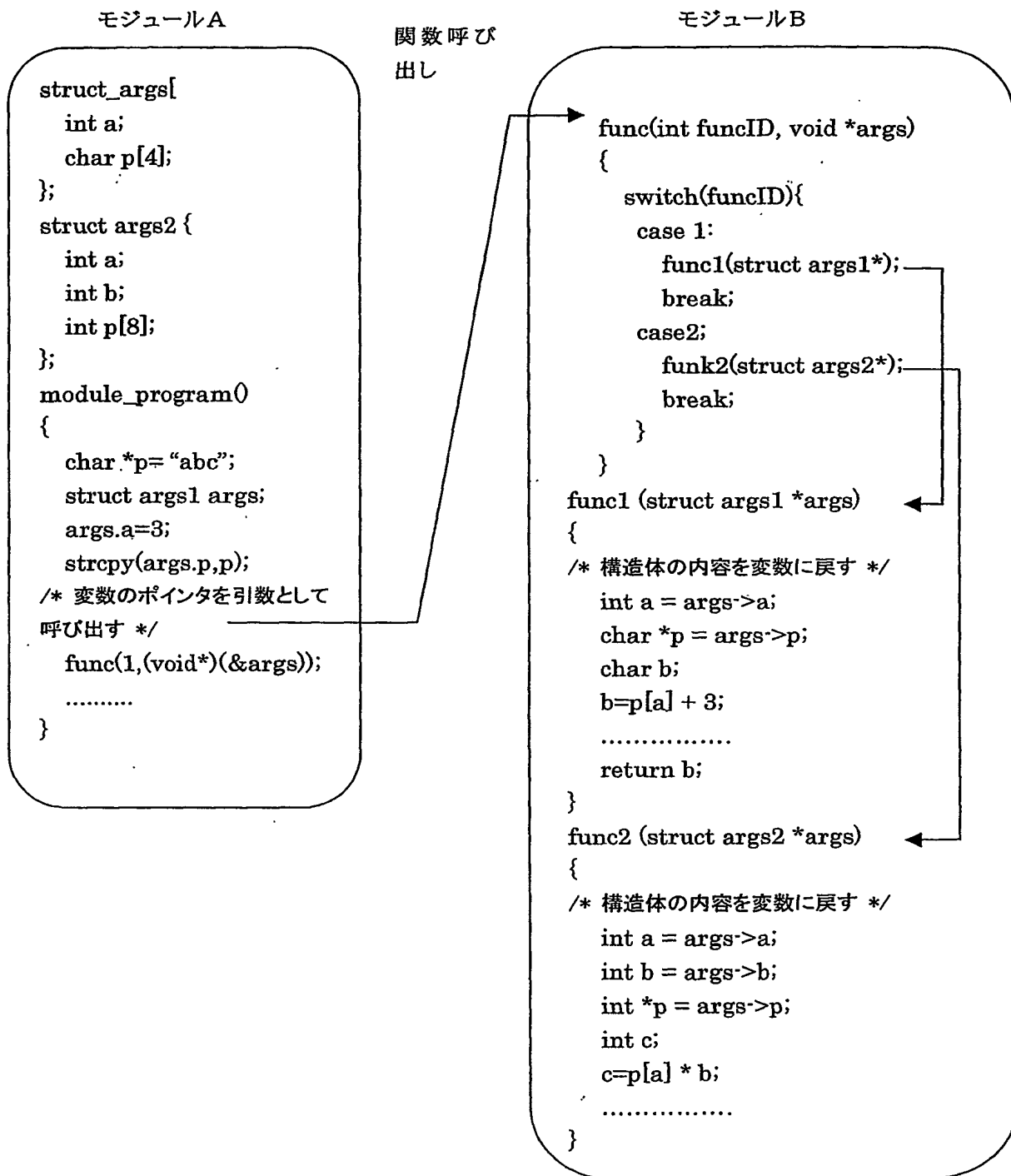
## 第6図



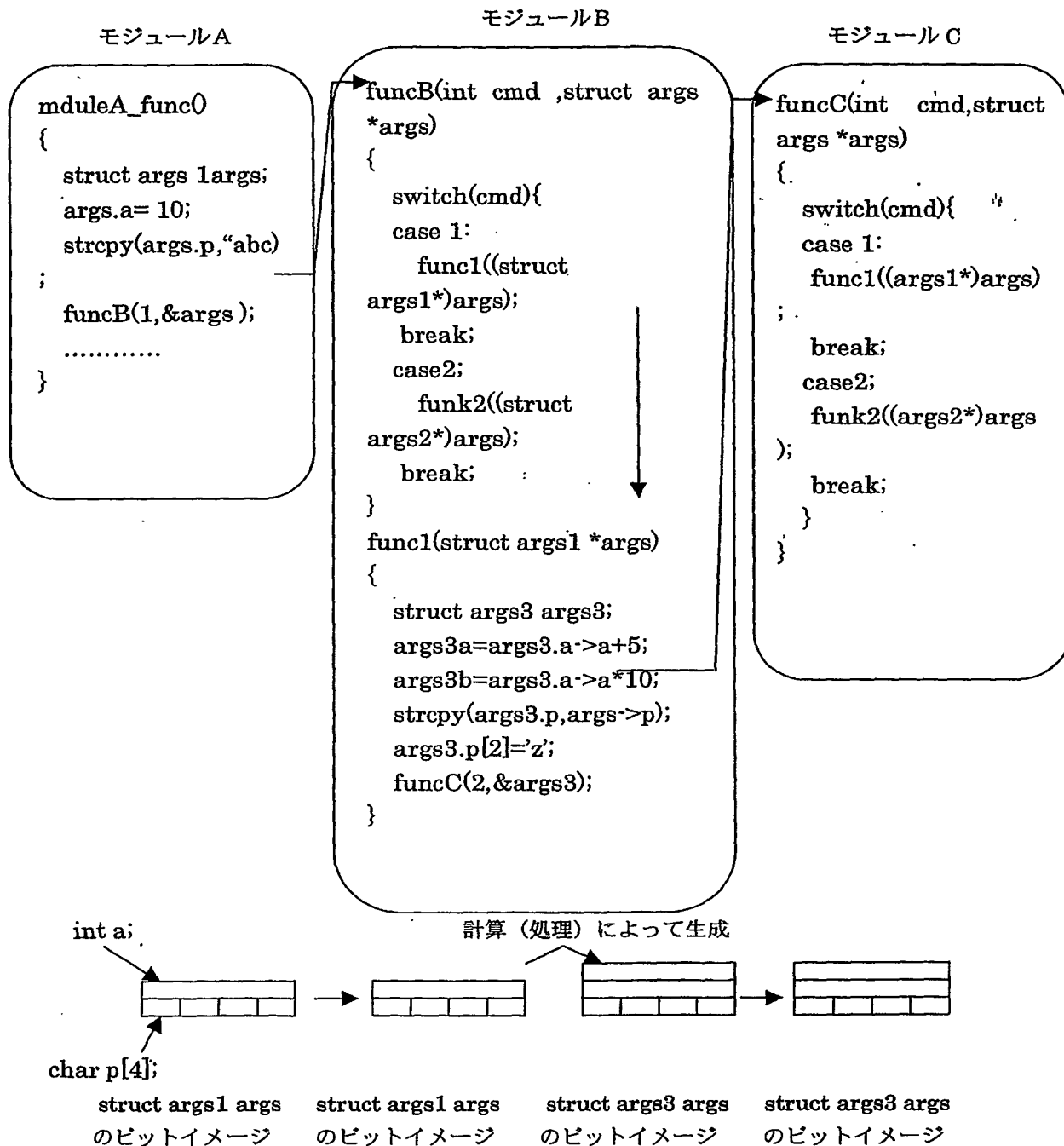
## 第7図



## 第 8 図

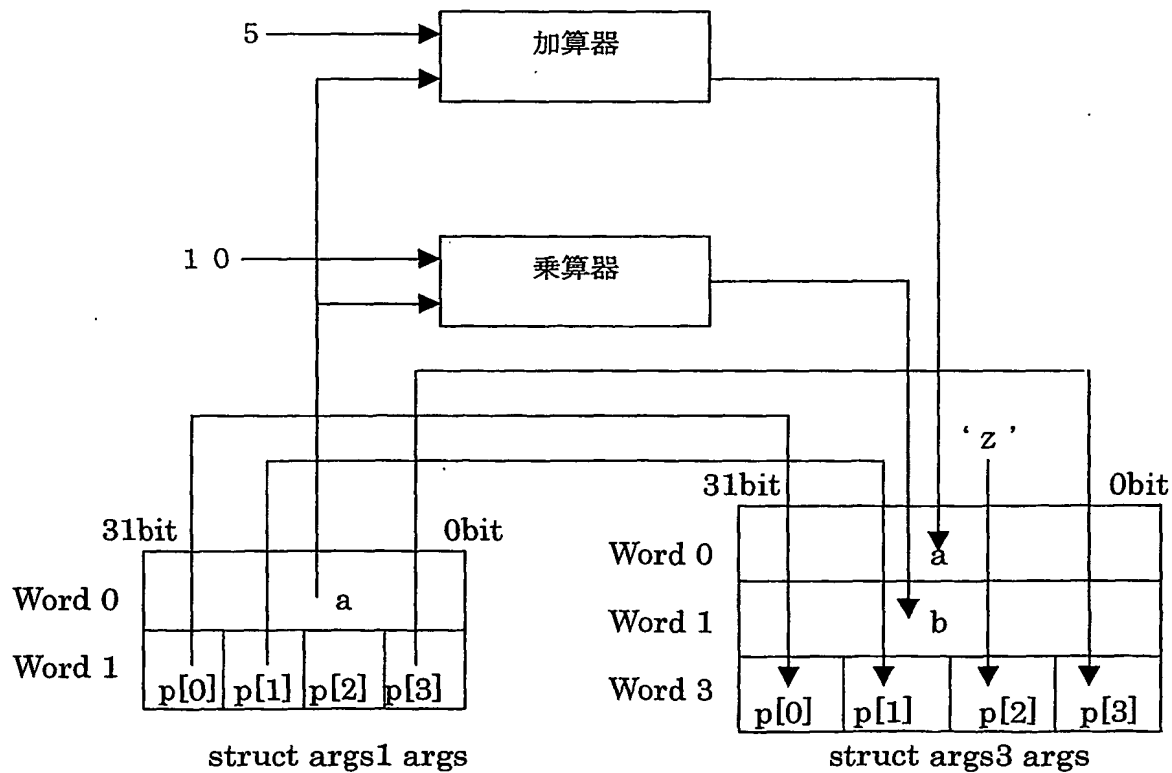


## 第9図



## 第 10 図

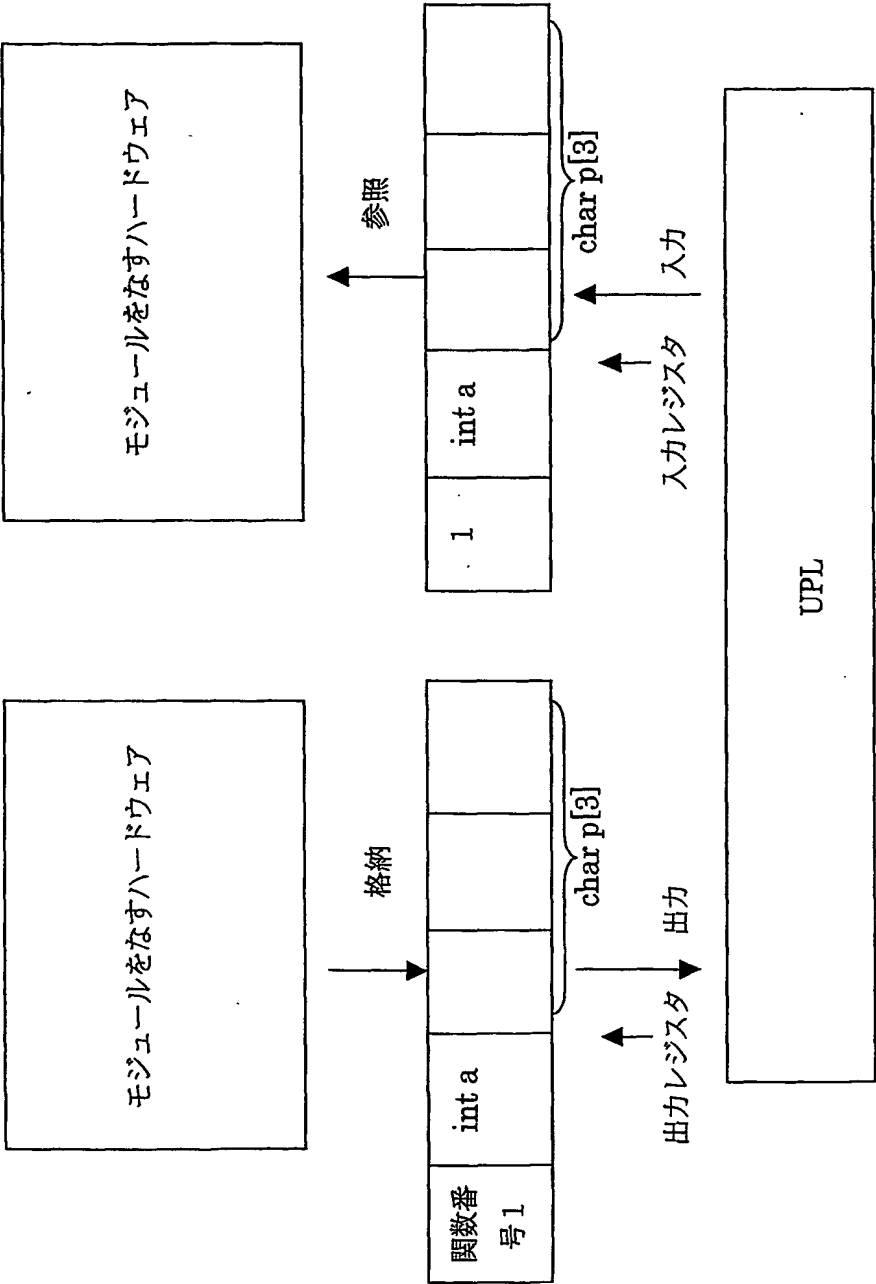
```
func1(struct args1 *args)
{
    struct args3 args3;
    args3.a = args3.a->a+5;
    args3.b = args3.a->a*10;
    strcpy(args3.p,args->p);
    args3.p[2] = 'z';
    funcC( 1,(void*)( &args3) );
}
```



第 1 1 図

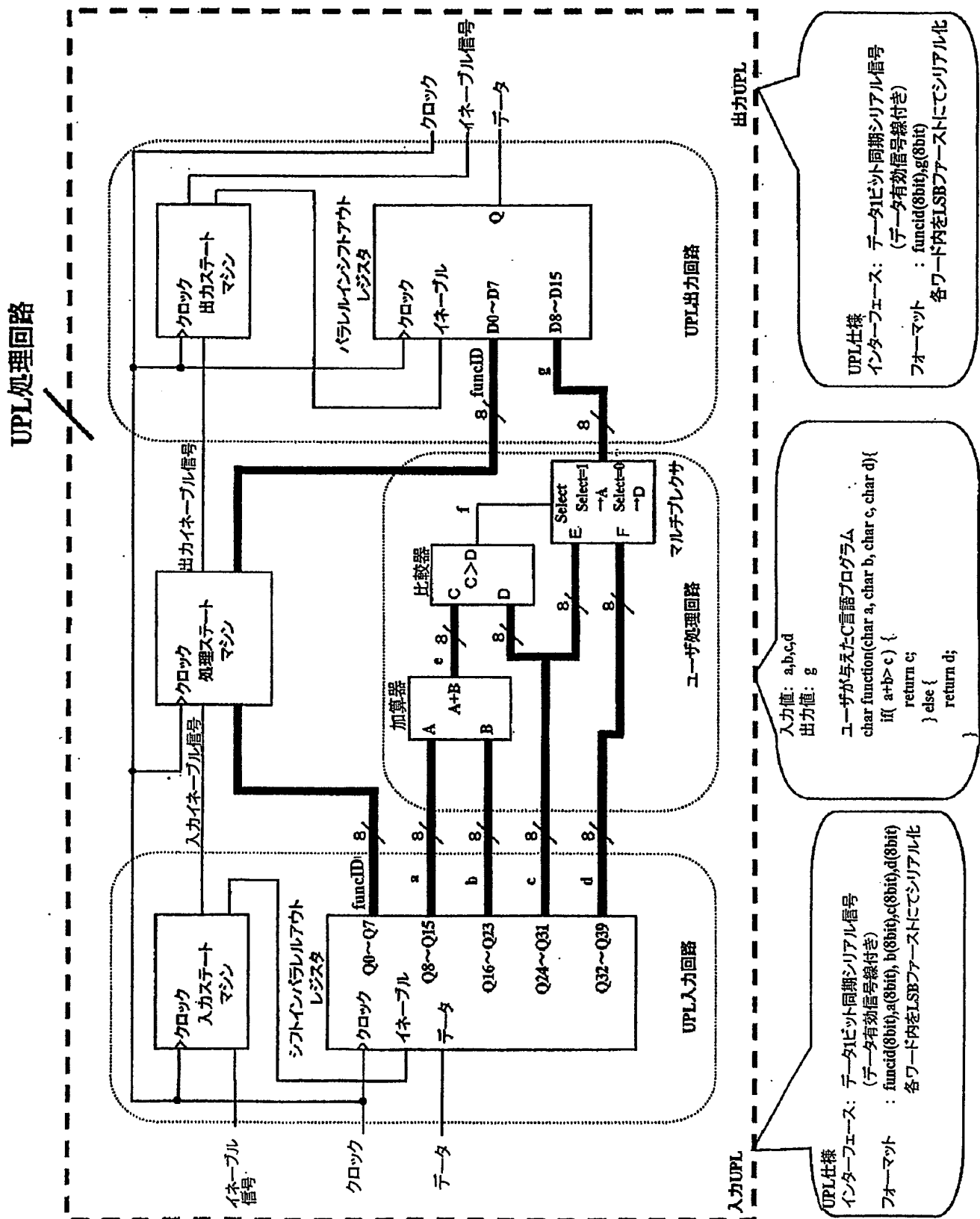
関数番号		引数構造体		
1	int a		char p[3]	

第 1 2 図

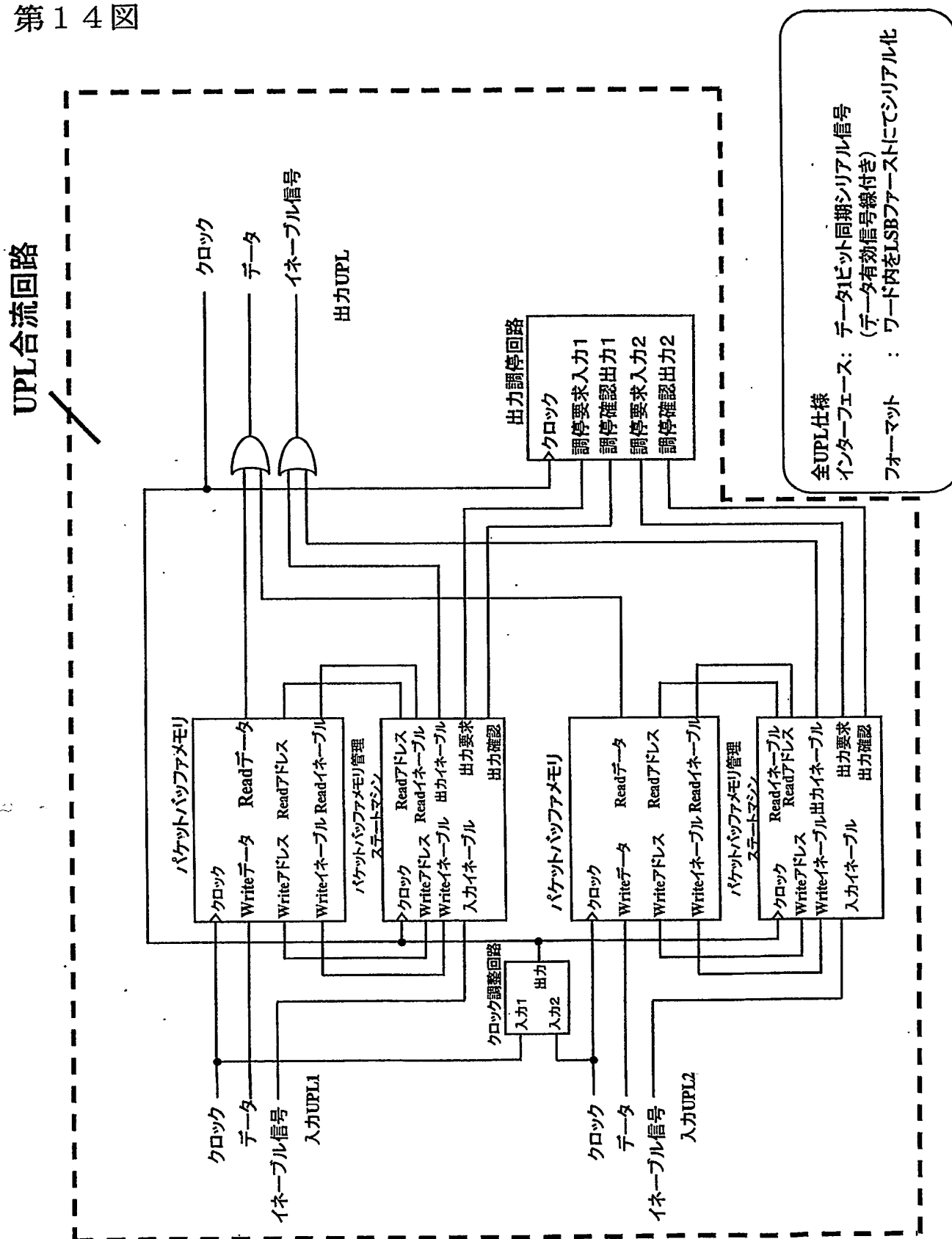




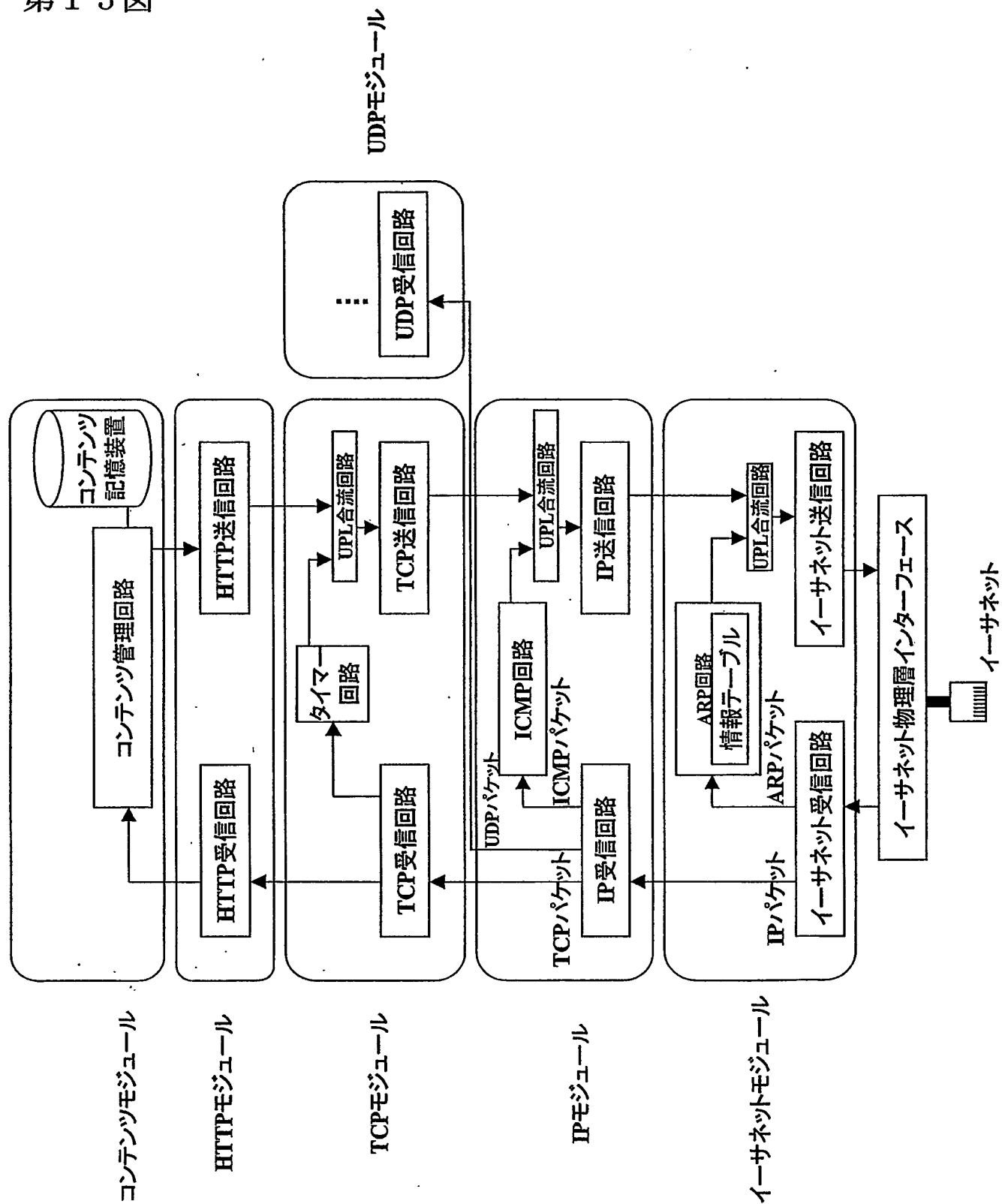
第 1 3 図



第14図

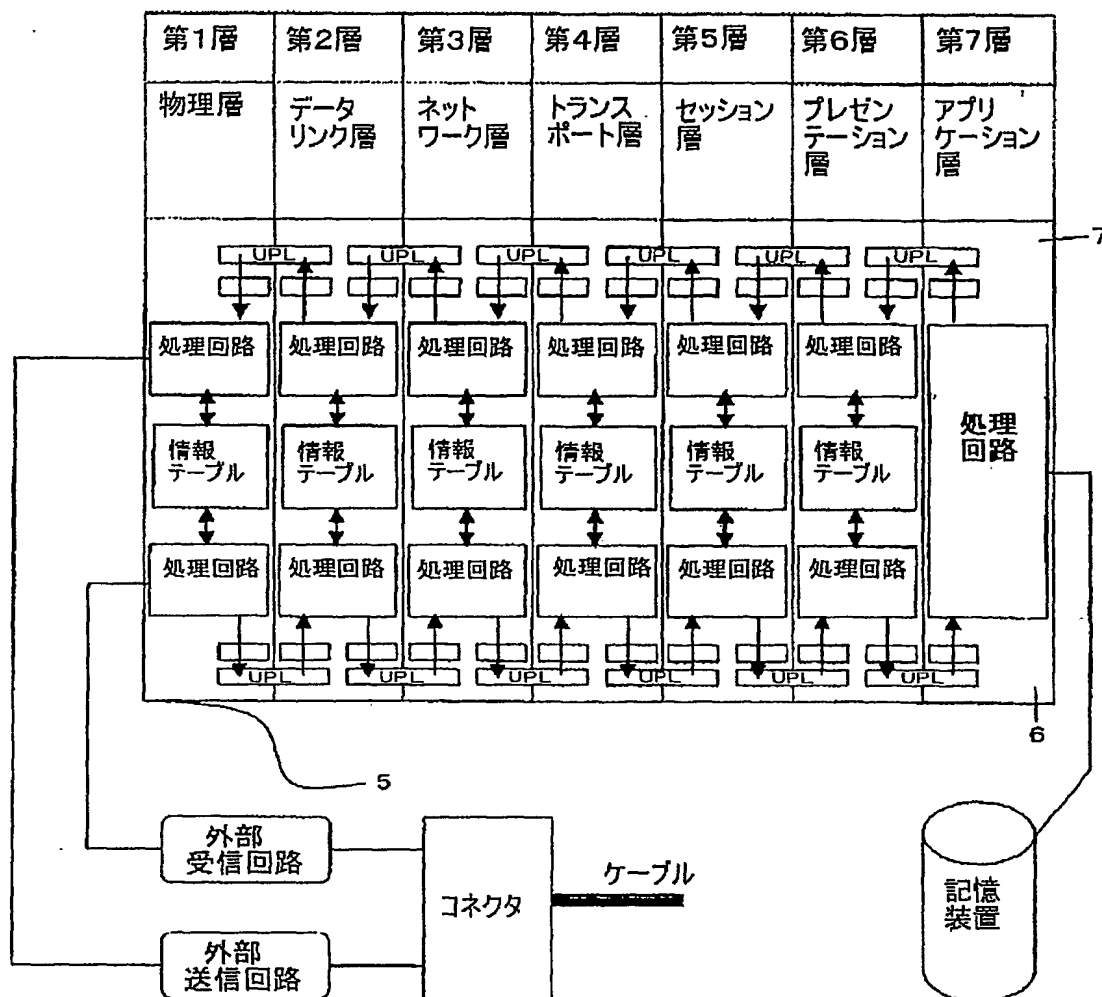


第 15 図

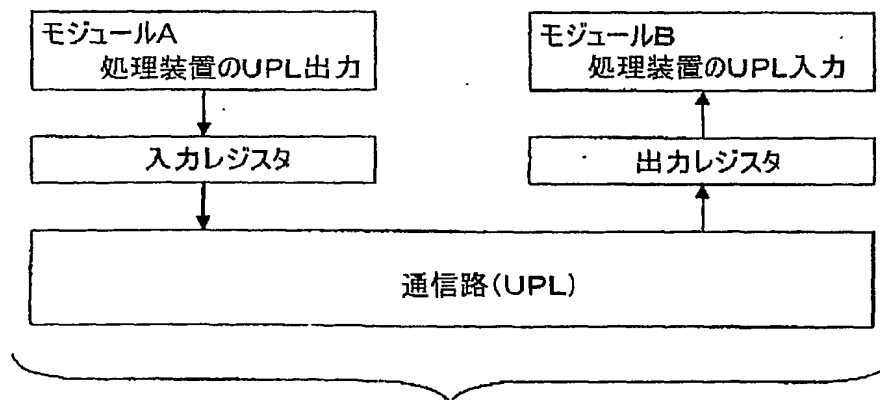


## 第16図

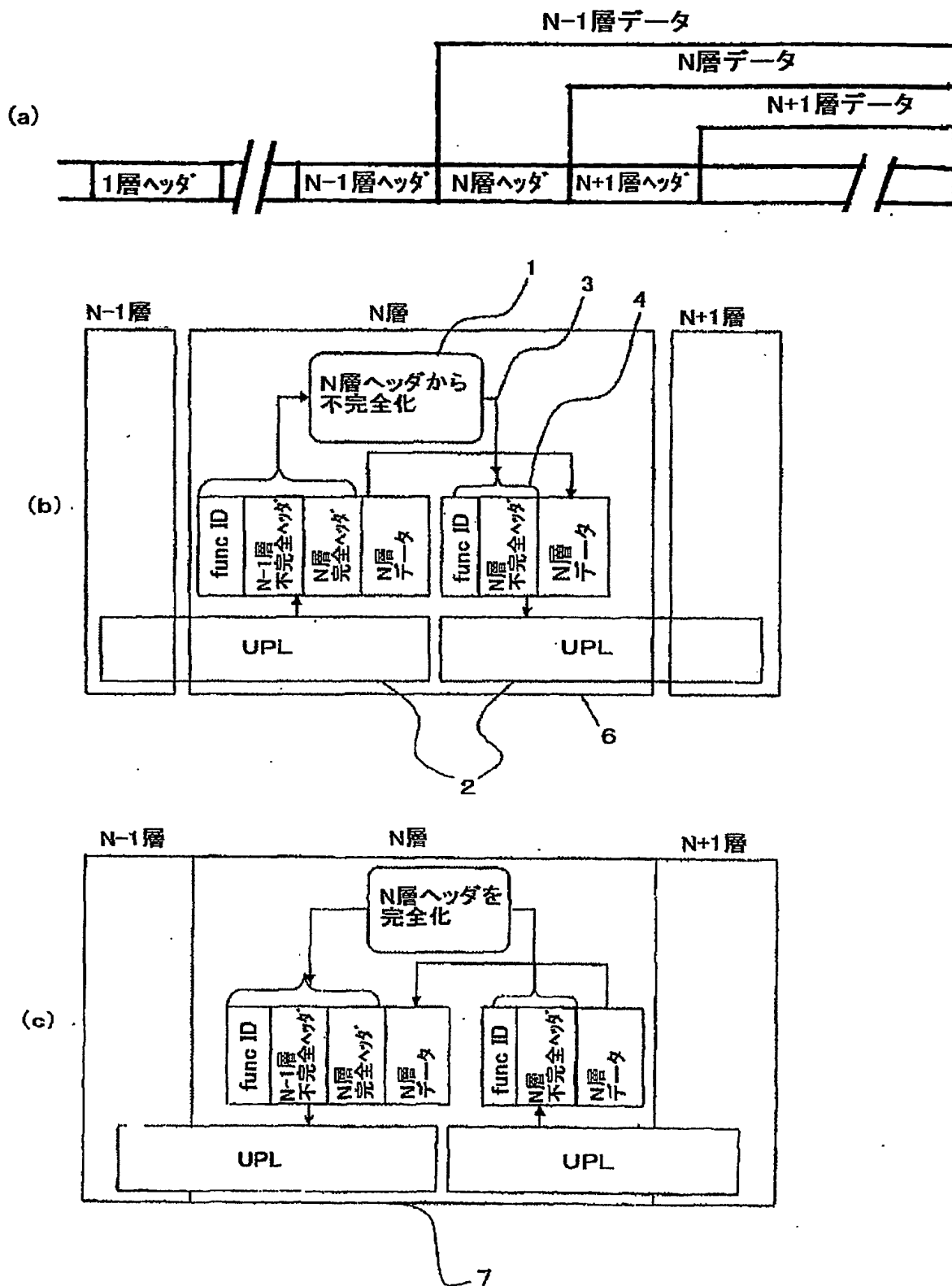
(a)



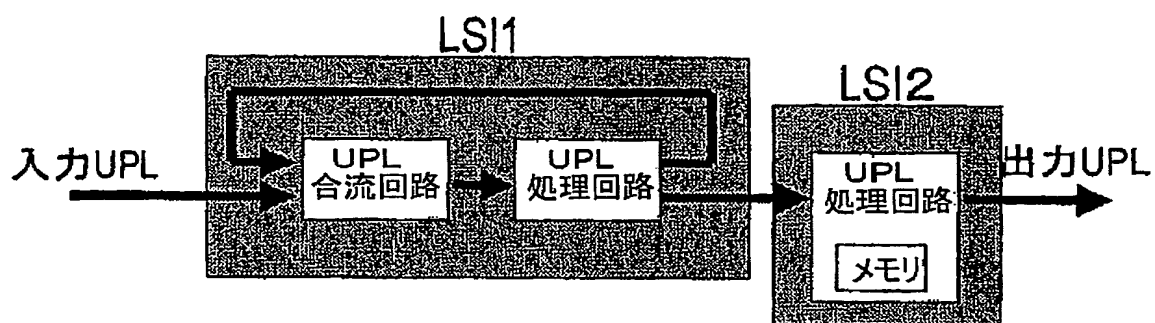
(b)



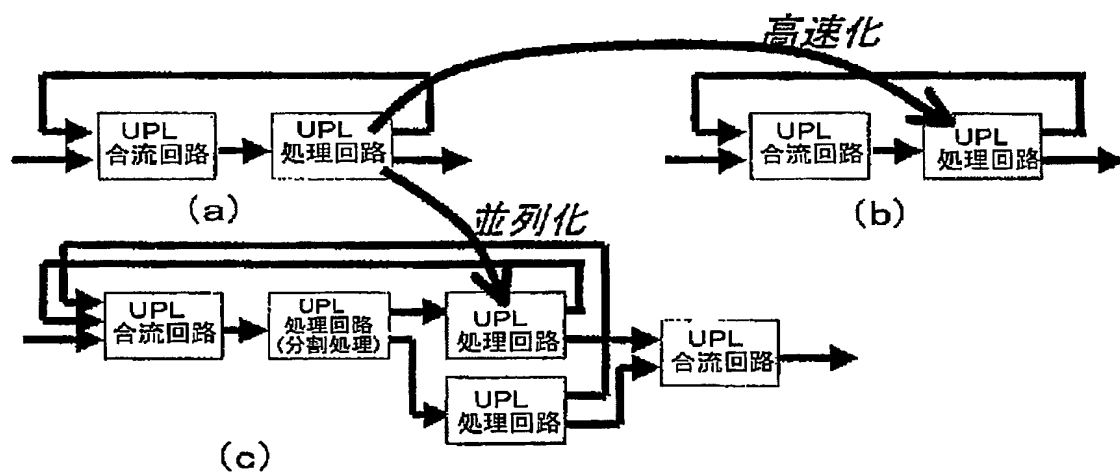
## 第 17 図



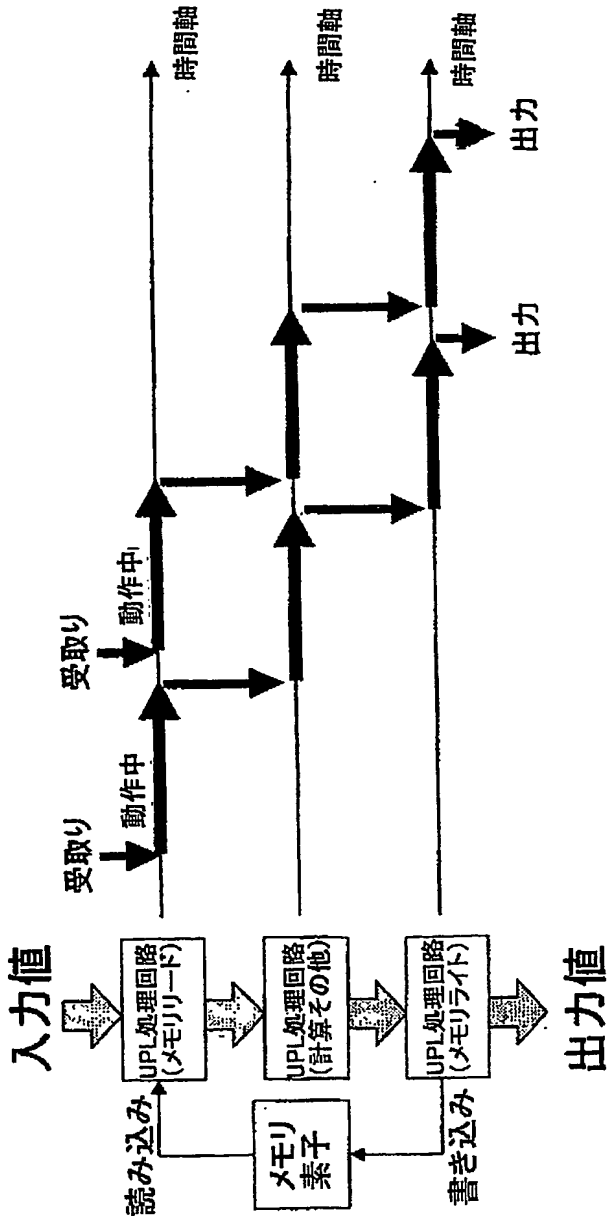
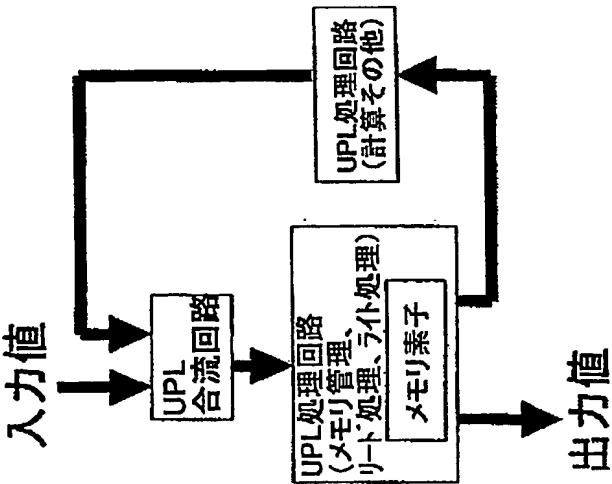
第 1 8 图



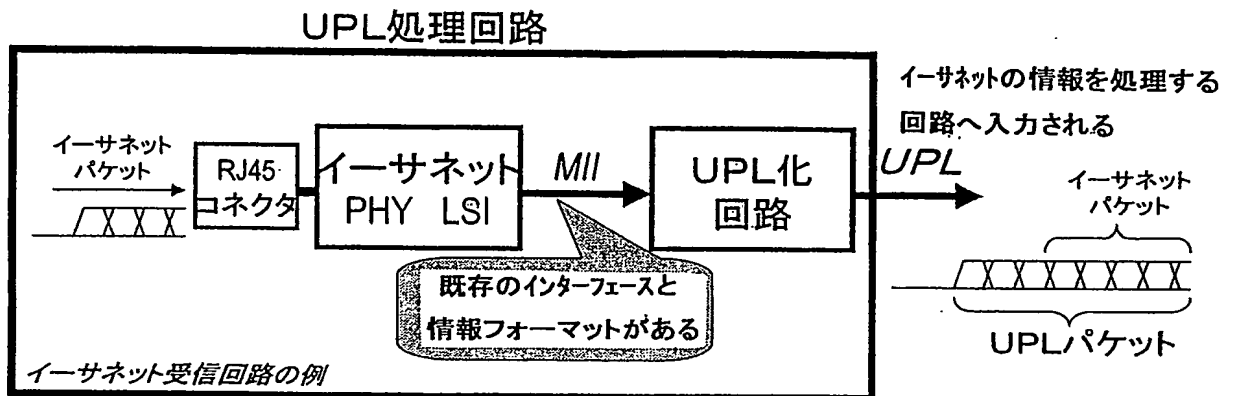
第 1 9 图



第 2 0 図

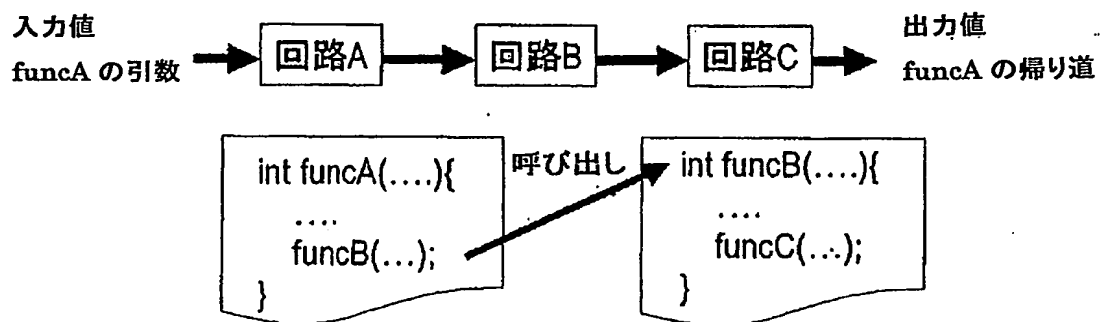


## 第 2 1 図

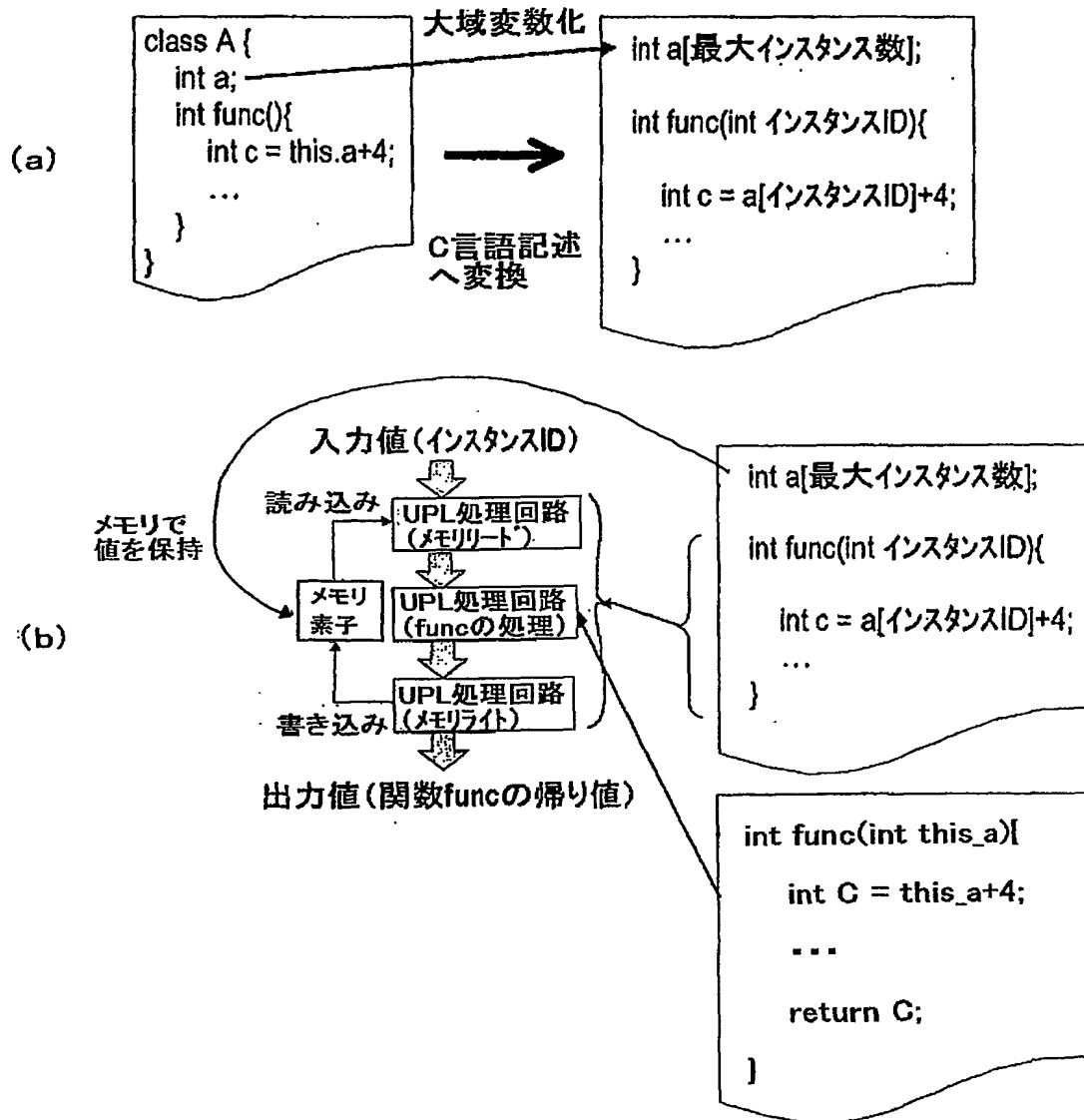




## 第 2 2 図

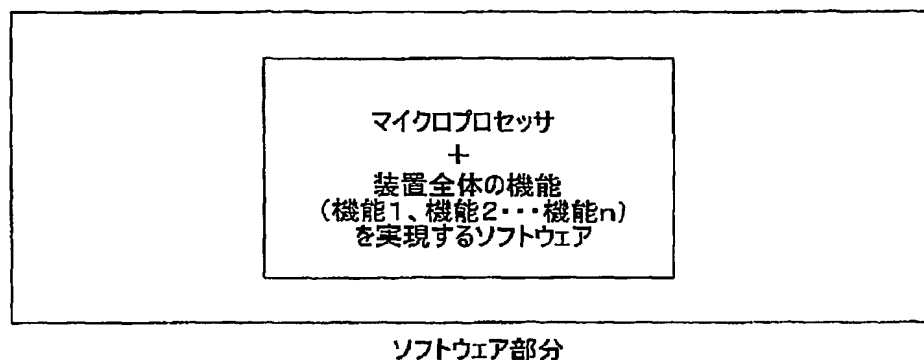


## 第 2 3 図

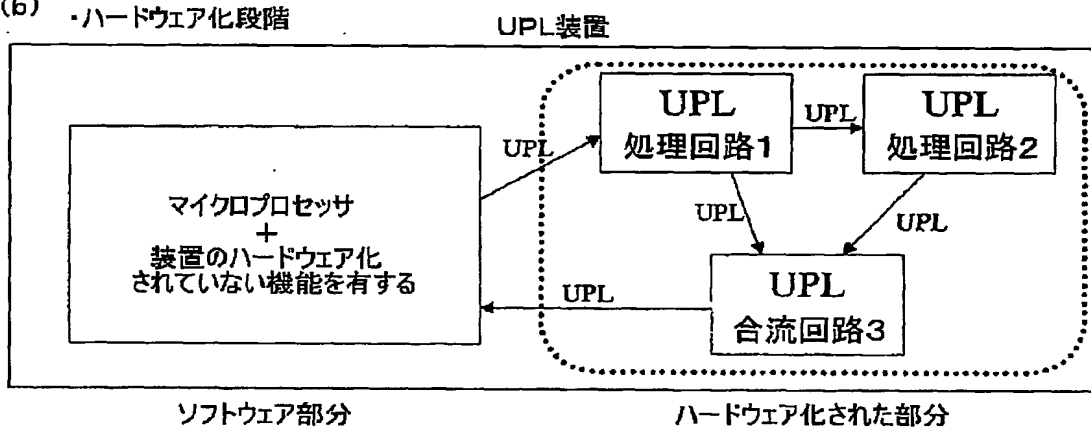


## 第 2 4 図

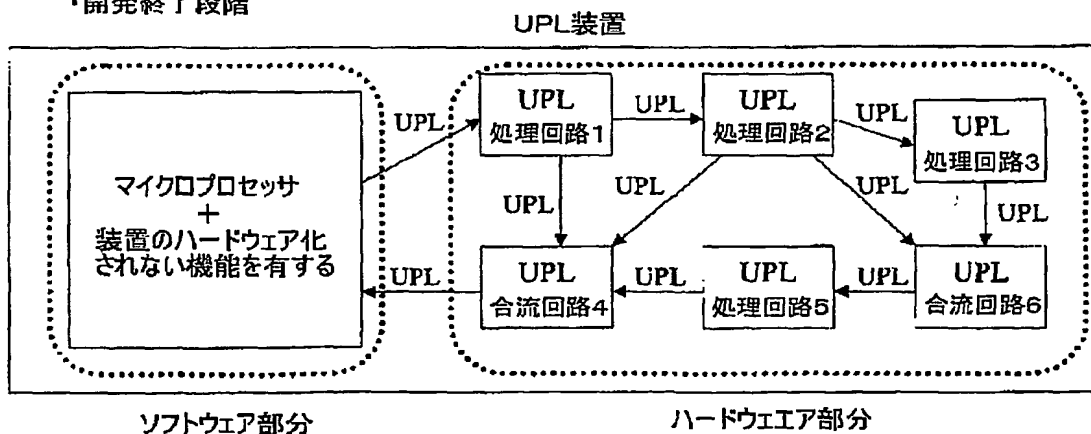
(a) ・初期開発段階



(b) ・ハードウェア化段階



(c) ・開発終了段階



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/07991

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G06F17/50

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	EP 829812 A (SHARP KABUSHIKI KAISHA), 18 March, 1998 (18.03.98), Descriptions relating to synchronised communication & JP 10-116302 A	1-6, 14 7-13
X Y	Akihisa YAMADA, "C Base Sekkei System Bach no Genjo to Kongo no Koso", Joho Shori Gakkai Kenkyu Hokoku, Information Processing Society of Japan, 08 September, 2000 (08.09.00), Vol.2000, No.79 (SLDM-97), pages 33 to 38	1-6, 14 7-13
Y	JP 4-248675 A (Toshiba Corp.), 04 September, 1992 (04.09.92), Full text (Family: none)	7-13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
11 July, 2003 (11.07.03)

Date of mailing of the international search report  
22 July, 2003 (22.07.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/07991

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-160949 A (Hitachi, Ltd.), 20 June, 1997 (20.06.97), Full text (Family: none)	7-13
Y	Mitsuteru YUKINOSHITA et al., "Hardware/Software Kyocho Sekkei System", Joho Shori Gakkai Kenkyu Hokoku, Information Processing Society of Japan, 15 December, 1995 (15.12.95), Vol.95, No.119 (ARC-115), pages 127 to 132	7-13

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. <sup>7</sup> G06F17/50

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. <sup>7</sup> G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	EP 829812 A (SHARP KK) 1998.03.18, synchronised communicationに係る記載 & JP 10-116302 A	1-6, 14 7-13
X Y	山田晃久, "Cベース設計システム B a c hの現状と今後の構想", 情報処理学会研究報告, 情報処理学会, 2000.09.08, Vol.2000, No.79(SLDM-97), p.33-38	1-6, 14 7-13
Y	JP 4-248675 A (株式会社東芝) 1992.09.04, 全体 (ファミリーなし)	7-13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

11.07.03

国際調査報告の発送日

22.07.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

早川 学



5H

9652

電話番号 03-3581-1101 内線 3531

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 9-160949 A (株式会社日立製作所) 1997. 06. 20, 全体 (ファミリーなし)	7-13
Y	雪下充輝, 外 3 名, “ハードウェア/ソフトウェア協調設計システム”, 情報処理学会研究報告, 情報処理学会, 1995. 12. 15, Vol. 95, No. 119 (ARC-115), p. 127-132	7-13

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**